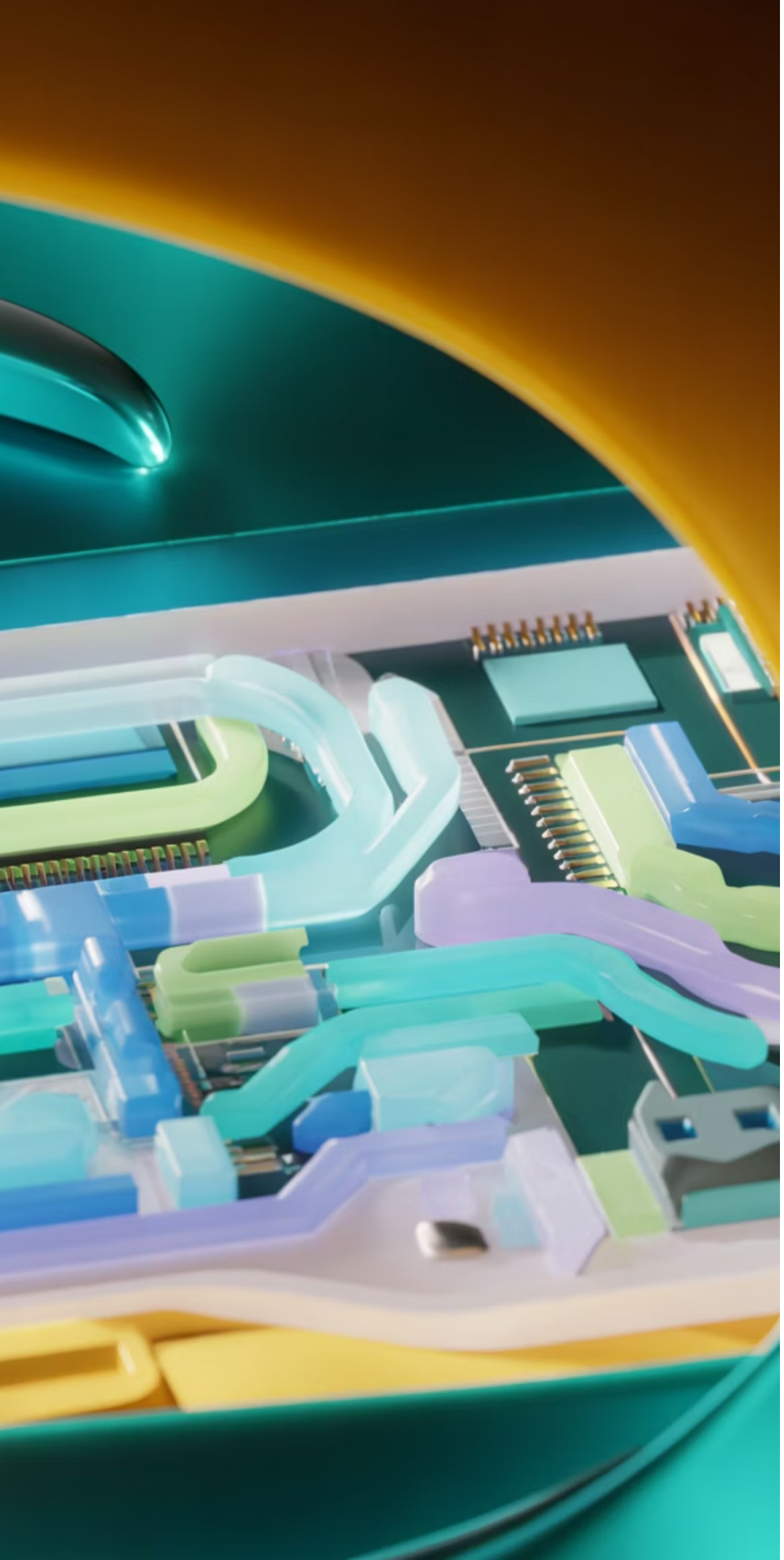
САТБАЕВ УНИВЕРСИТЕТІ

SATBAYEV UNIVERSITY

Цифровая схемотехника

Ержан Асел Ануаркызы,Ph.D., ассоциированный профессор

Assel.yerzhan@satbayev.university



Синтез Комбинационных Устройств

Строительные блоки цифровой электроники — шифраторы, дешифраторы, мультиплексоры и демультиплексоры. От базовых принципов до современных методов проектирования.

ГЛАВА 1

Основы Комбинационной Логики

Комбинационные схемы — это фундаментальные строительные блоки любой цифровой системы. В этой главе мы рассмотрим их ключевые свойства, принципы работы и параметры оптимизации, которые определяют качество проектируемых устройств.



Что такое Комбинационная Схема?

Определение

Схема, преобразующая входные двоичные сигналы в выходные логические сигналы согласно заданной булевой функции. Выход определяется исключительно текущим состоянием входов.

Ключевые свойства

- **Мгновенная реакция:** выходные сигналы однозначно определяются текущими входными сигналами без учёта предыстории
- **Детерминированность:** одинаковый набор входов всегда даёт одинаковый выход
- **Применение:** основа для построения сумматоров, шифраторов, АЛУ и других сложных цифровых устройств

Параметры Оптимизации Комбинационных Схем

При проектировании комбинационных устройств инженеры балансируют между четырьмя ключевыми критериями, которые часто вступают в противоречие друг с другом.

Потребляемая мощность

Минимизация энергопотребления, особенно критична для мобильных устройств и встраиваемых систем.

Быстродействие

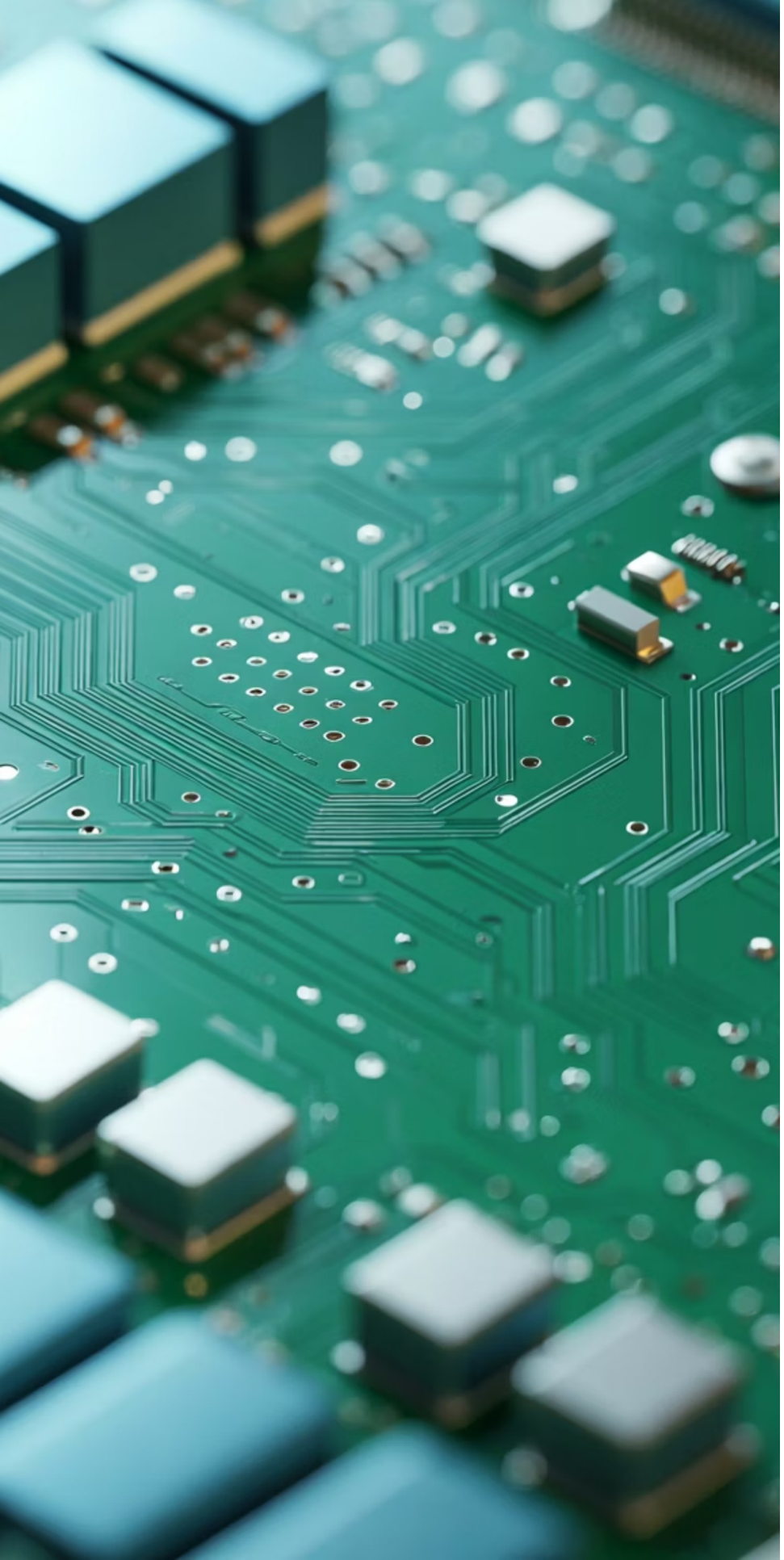
Время задержки распространения сигнала от входа до выхода — ключевой показатель производительности схемы.

Площадь на кристалле

Занимаемая площадь напрямую влияет на стоимость производства и плотность интеграции.

Надёжность

Помехозащищённость и устойчивость к производственным вариациям — гарантия корректной работы в реальных условиях.



Преимущества Комбинационных Схем

Простота проектирования

Комбинационная логика хорошо изучена и поддаётся формализации. Существуют строгие математические методы (алгебра Буля, карты Карно) для синтеза и минимизации схем.

Отсутствие статического потребления

В состоянии покоя схемы на базе КМОП-технологии практически не потребляют энергию — ток протекает только в момент переключения логических уровней.

Полный размах выходного напряжения

Выходной сигнал чётко принимает значение логического «0» (близко к GND) или логической «1» (близко к VDD), обеспечивая высокую помехоустойчивость.

Недостатки Комбинационных Схем

→ Зависимость задержки от входных данных

Время распространения сигнала может варьироваться в зависимости от конкретной комбинации входных значений, что затрудняет временной анализ сложных схем.

→ Сквозные токи переключения

В момент переключения транзисторов в КМОП-схемах кратковременно открываются оба транзистора (P и N типа), создавая сквозной ток от питания до земли — дополнительная составляющая потребления.

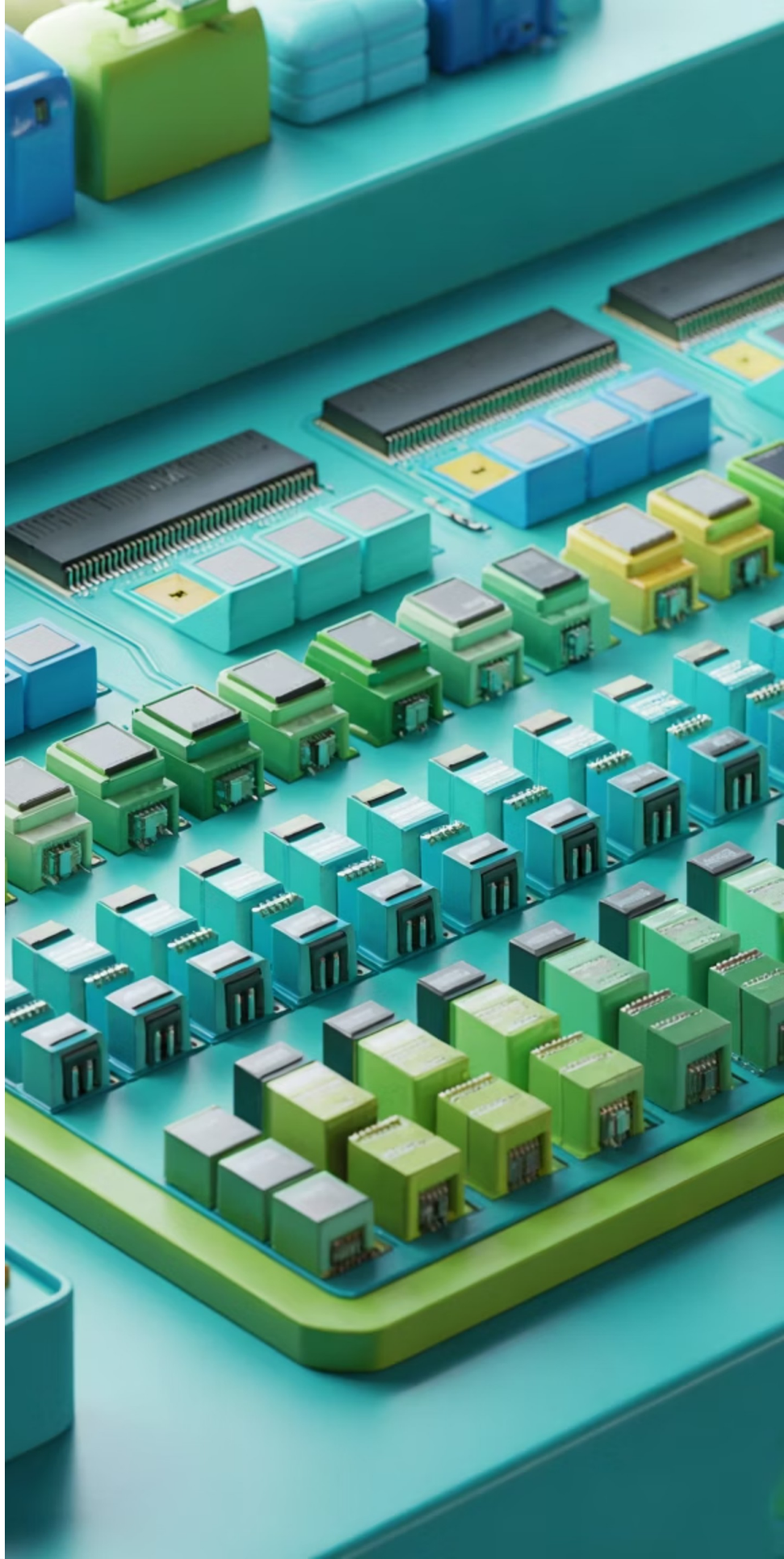
→ Различия в подвижности носителей

P-канальные транзисторы имеют меньшую подвижность дырок по сравнению с электронами в N-канальных, что приводит к асимметрии нарастающих и спадающих фронтов сигналов.

ГЛАВА 2

Типовые Комбинационные Устройства

Рассмотрим четыре важнейших класса комбинационных устройств: шифраторы, дешифраторы, мультиплексоры и демультиплексоры — каждый из которых выполняет уникальную функцию преобразования или коммутации сигналов.



Шифраторы (Кодеры): Преобразование в Двоичный Код

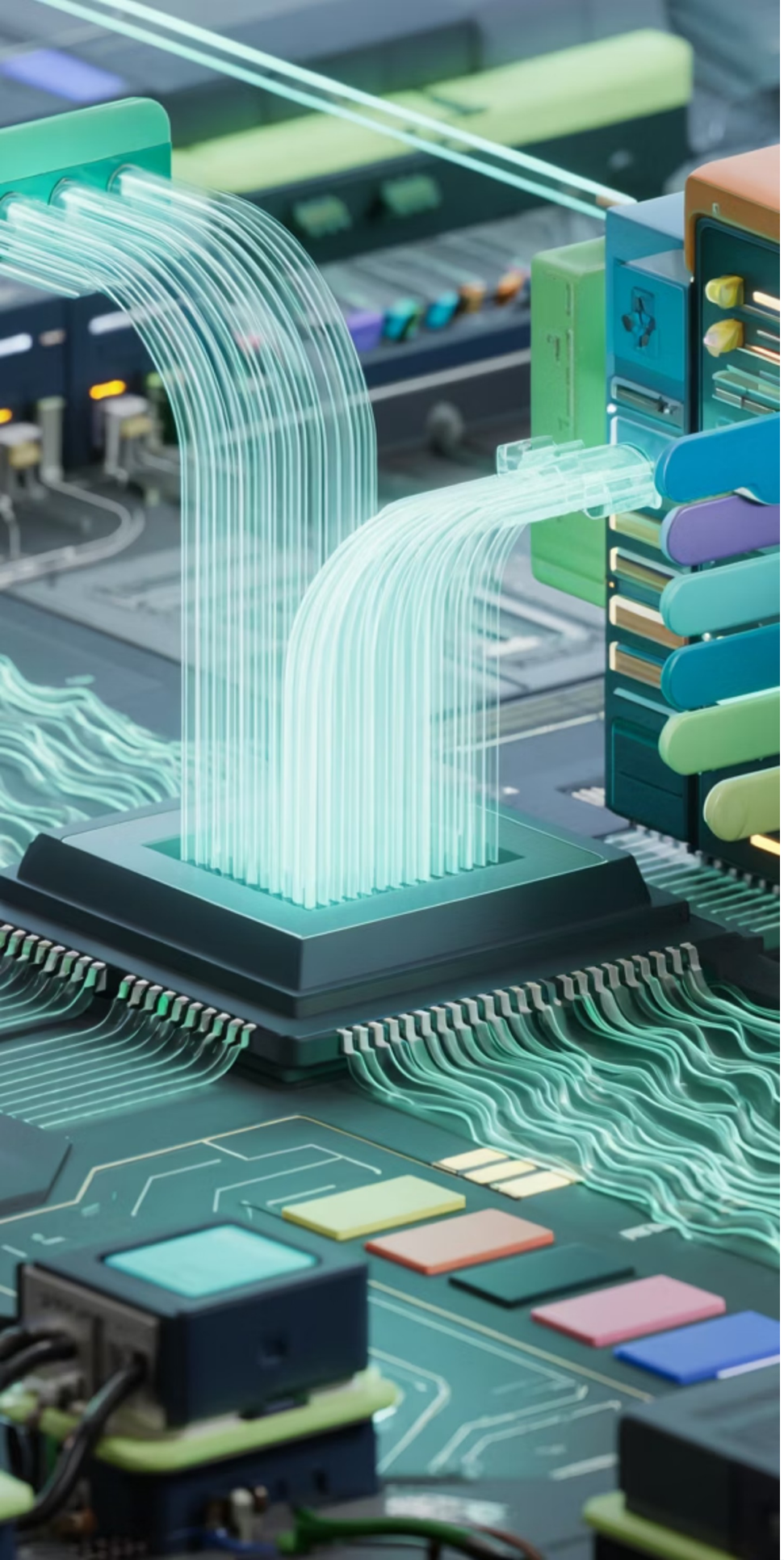
Назначение и принцип работы

Шифратор (энкодер) преобразует **позиционный код** (например, десятичный или «1 из N») в компактный **двоичный код**. Активным в любой момент времени должен быть ровно один вход — ему соответствует уникальный двоичный код на выходе.

Для N входов требуется $\lceil \log_2 N \rceil$ выходных линий. Например, шифратор 8-в-3 имеет 8 входов и 3 выходных бита.

Примеры применения

- Клавиатуры и кнопочные панели — нажатие кнопки → двоичный код
- Датчики положения и угловые энкодеры
- Системы прерываний микропроцессоров
- Преобразование оптических сигналов



Приоритетный Шифратор: Когда Входов Много

Обычный шифратор предполагает активность только одного входа одновременно. **Приоритетный шифратор** решает проблему одновременного срабатывания нескольких входов — он обрабатывает такие ситуации корректно.

Принцип приоритета

На выходе формируется код, соответствующий **старшему активному входу** (с наибольшим номером). Остальные активные входы игнорируются.

Дополнительный выход GS

Выход Group Signal (или Valid) сигнализирует, что хотя бы один вход активен. Позволяет отличить код «0» от «нет активных входов».

Применение

Контроллеры прерываний (Intel 8259A), матричные клавиатуры, системы диспетчеризации запросов в реальном времени.

Дешифраторы: Обратное Преобразование

Принцип работы

Дешифратор преобразует **двоичный код** на входе в **позиционный сигнал** на одном из множества выходов. Для каждой входной комбинации активируется ровно один выход.

Связь: при n входах число выходов m = 2^n. Дешифратор 2×4 имеет 2 входа и 4 выхода; дешифратор 3×8 — 3 входа и 8 выходов.

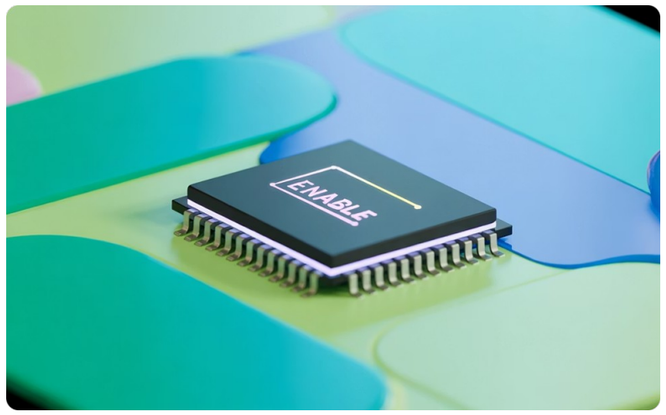
Инверсный выход

Многие стандартные дешифраторы имеют **инверсные (активный «0») выходы**, что упрощает их согласование с логическими элементами И-НЕ и ИЛИ-НЕ — наиболее распространёнными в КМОП-технологии.

Таблица: n входов → m выходов

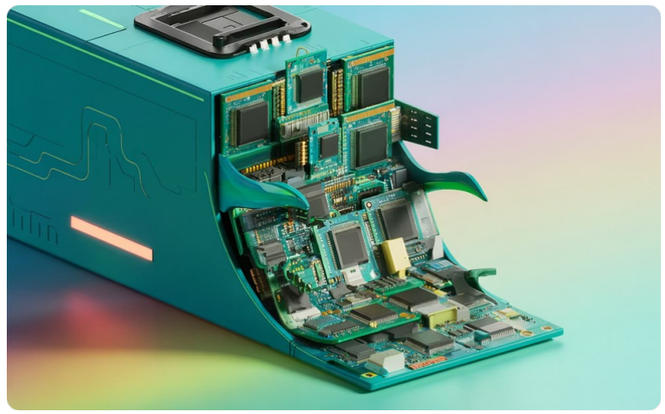
n (входы)	m (выходы)
2	4
3	8
4	16

Дешифраторы: Управление и Наращивание



Управляющие входы (Enable)

Входы разрешения **Enable (E)** позволяют включать или блокировать работу дешифратора. При неактивном Enable все выходы переходят в неактивное состояние, независимо от кода на адресных входах.



Каскадирование дешифраторов

Два дешифратора 2×4 с входом Enable можно объединить в один дешифратор **3×8**: старший разряд кода управляет входами Enable двух микросхем, выбирая нижнюю или верхнюю половину выходов.



Дешифраторы: Преобразователи Кодов

Дешифратор для семисегментного индикатора

Специализированный дешифратор принимает **двоично-десятичный код (BCD)** на входе и формирует сигналы для управления семью сегментами (a–g) дисплея. Позволяет отображать цифры 0–9 и ряд букв.

Классические микросхемы: **КР514ИД2** (отечественный), **74LS47** (TTL), **CD4511** (КМОП).

Дешифратор для газоразрядных индикаторов

Газоразрядные (никсиевые) индикаторы требуют высоковольтного управления отдельными катодами-цифрами. Дешифраторы для них преобразуют двоичный код в сигнал высокого уровня на одном из 10 выходов.

Мультиплексоры (MUX): Выбор Одного из Многих

Определение и принцип

Мультиплексор — комбинационная схема, которая **подключает один из 2^n информационных входов к единственному выходу** по команде n адресных (управляющих) входов. Работает как управляемый переключатель.

Формула: MUX с n адресными входами обслуживает 2^n информационных каналов.

Функции и применение

- **Параллельно-последовательное преобразование:** циклически опрашивает каналы, формируя последовательный поток
- Выбор источника данных (датчик, шина, линия связи)
- Реализация произвольных булевых функций
- Построение шин данных в процессорах

Мультиплексоры: Структура и Реализация Функций

Мощная особенность мультиплексоров — способность **реализовывать произвольные логические функции** без дополнительных элементов, подавая константы «0»/«1» или переменные на информационные входы.

1

MUX 4×1

2 адресных входа, 4 информационных входа. Реализует функции от **2 до 3 переменных**. Одна из адресных переменных назначается информационному входу.

2

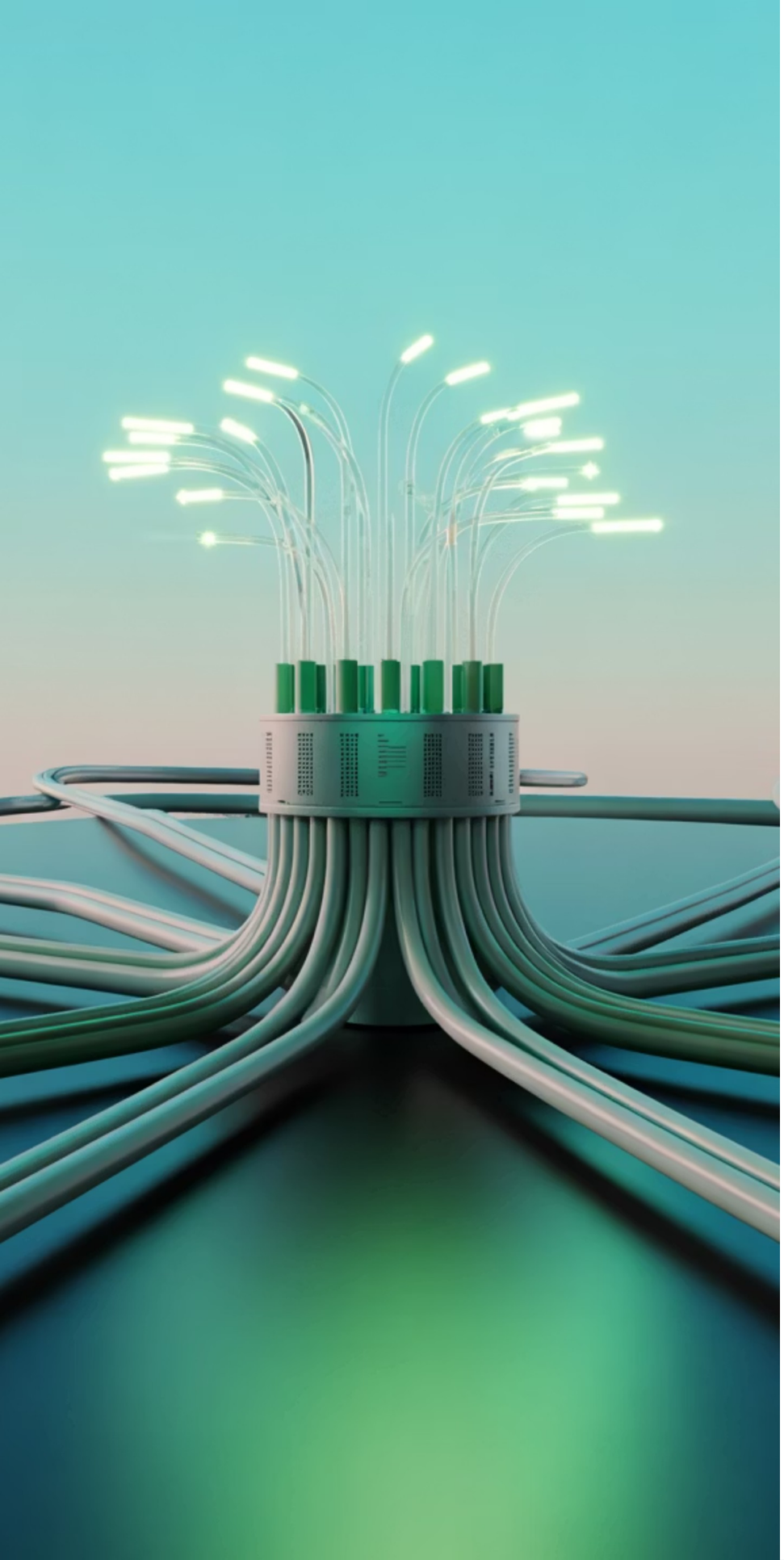
MUX 8×1

3 адресных входа, 8 информационных. Реализует функции от **3 до 5 переменных**. Широко применяется как универсальный логический модуль.

3

MUX 16×1

4 адресных входа, 16 информационных. Реализует функции от **4 до 7 переменных**. Применяется в сложных схемах выбора данных.



Демультиплексоры (DEMUX): Распределение Одного на Многих

Назначение

DEMUX — схема, обратная мультиплексору: **один входной сигнал направляется на один из 2^n выходов** в зависимости от кода на n адресных входах.

Преобразование кода

Выполняет **последовательно-параллельное преобразование**: последовательный поток данных распределяется по параллельным каналам. Дополняет MUX в системах передачи данных.

Двойственность с дешифратором

Дешифратор с входом разрешения (Enable) функционально эквивалентен DEMUX: вход Enable служит информационным входом, а адресные входы выбирают активный выход.

Демультиплексоры: Управление и Применение

Структура сигналов

Тип входа/выхода	Количество	Функция
Информационный вход	1	Сигнал для распределения
Адресные входы	n	Выбор активного выхода
Выходы	2^n	Приём сигнала

Области применения

- Распределение данных по различным портам и интерфейсам
- Управление несколькими периферийными устройствами с одного порта
- Декодирование адресного пространства в системах памяти
- Системы сбора и распределения телеметрии

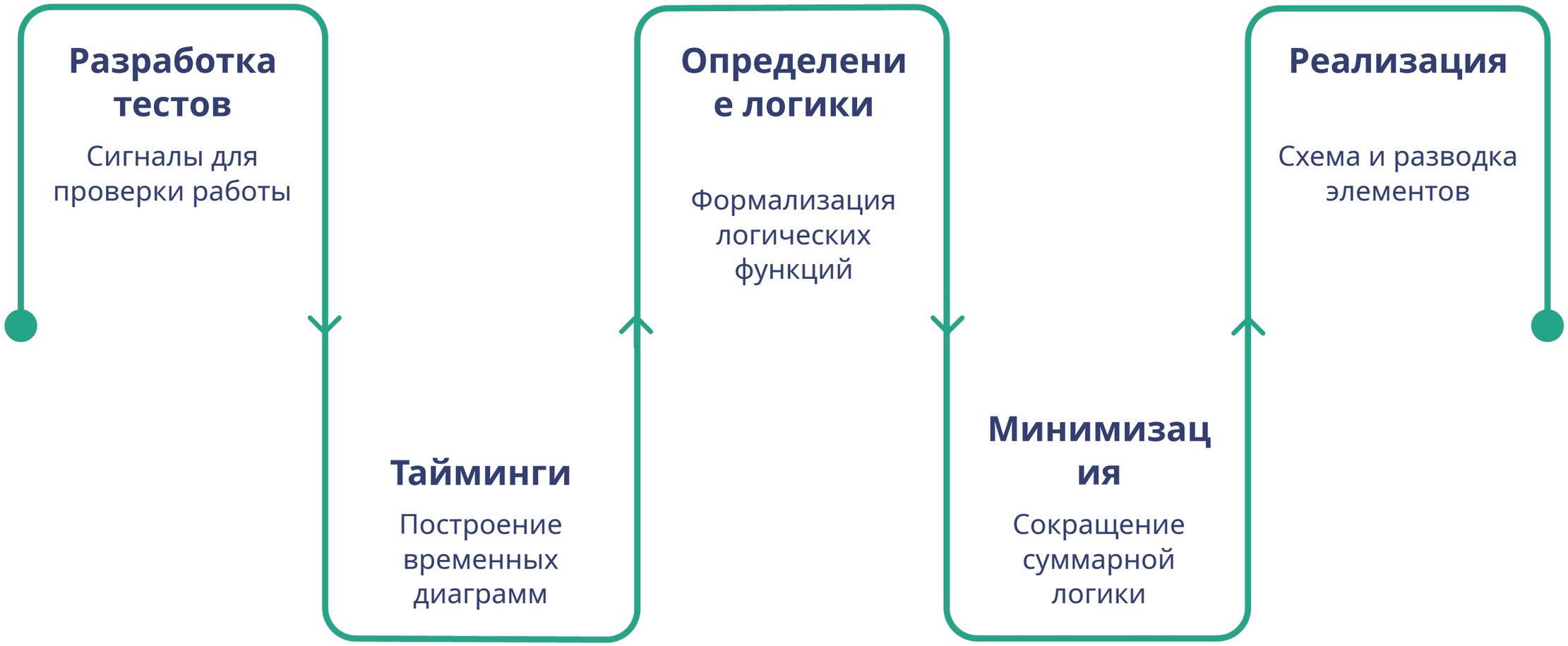
ГЛАВА 3

Синтез Комбинационных Схем

Синтез — это систематический процесс создания схемы, реализующей заданную логическую функцию. Рассмотрим формальную методологию, обеспечивающую корректность и оптимальность результата.



Этапы Синтеза Комбинационных Схем



Каждый этап методично переводит задачу из области технического задания в область физической реализации. Минимизация логической функции (шаг 4) позволяет сократить число элементов и задержку, что напрямую влияет на стоимость и быстродействие конечного устройства.

Пример Синтеза: Простой Шифратор 3-в-2

Постановка задачи

Синтезировать шифратор с 3 входами (x_0, x_1, x_2) и 2 выходами (y_1, y_0). Активен ровно один вход, ему соответствует уникальный двоичный код.

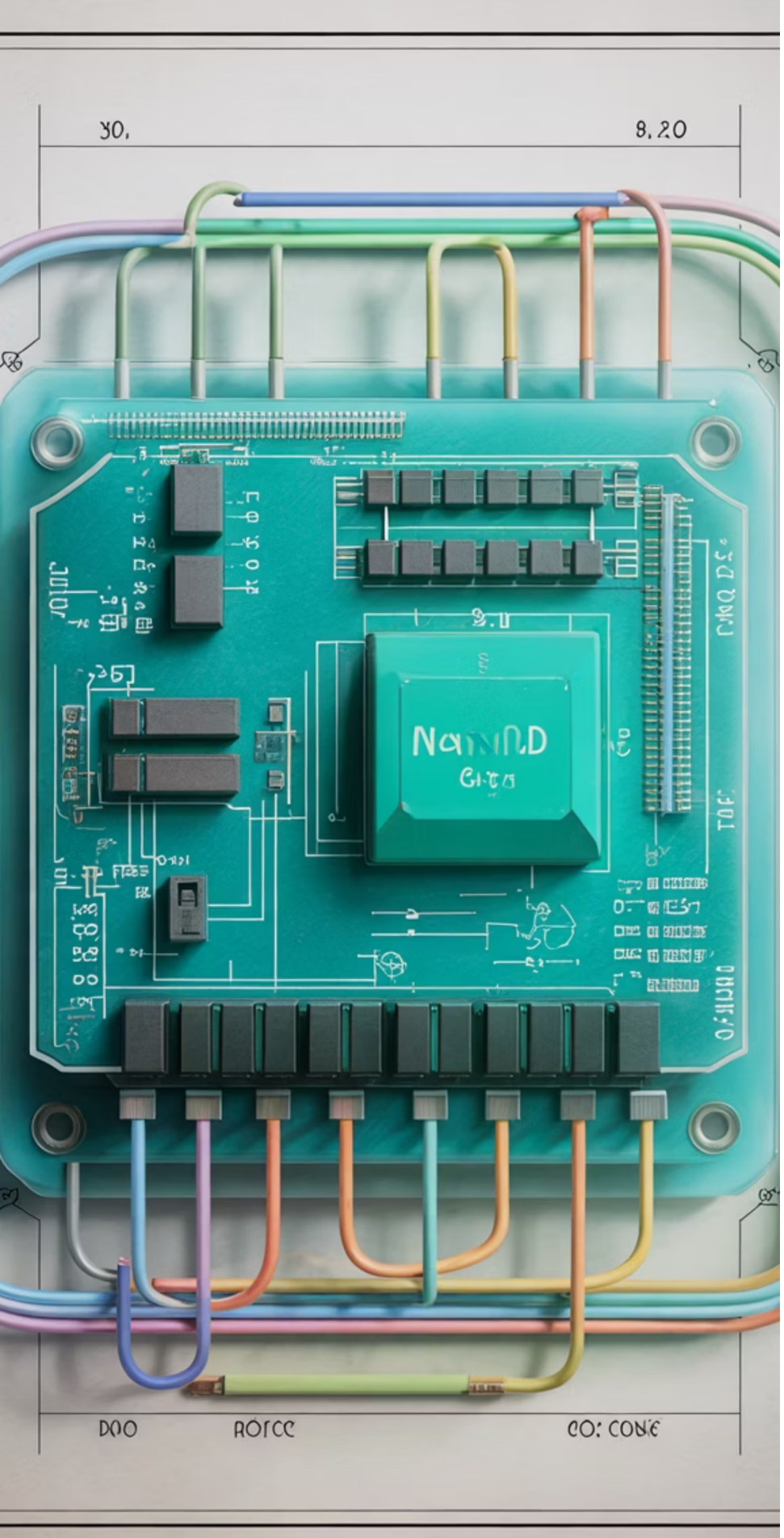
Активный вход	y_1	y_0
x_0	0	0
x_1	0	1
x_2	1	0

Логические выражения

Из таблицы истинности непосредственно следуют минимальные выражения:

- **$y_1 = x_2$** — выход y_1 равен единице только при активном x_2
- **$y_0 = x_1$** — выход y_0 равен единице только при активном x_1

Схема реализуется без каких-либо логических элементов — только прямыми соединениями!



Реализация Шифратора на Элементах И-НЕ

Для более сложных шифраторов (например, приоритетных) применяется базис **И-НЕ/ИЛИ-НЕ**. Любую функцию можно выразить через эти универсальные элементы по теореме де Моргана.

1 Получение СКНФ или СДНФ

Из таблицы истинности выписываем совершенную дизъюнктивную (или конъюнктивную) нормальную форму для каждого выхода.

2 Двойное инвертирование

Применяем правило де Моргана: ИЛИ через инверсии входов и элемент И-НЕ. Это позволяет реализовать любую функцию двухуровневой схемой И-НЕ — И-НЕ.

3 Проверка временной диаграммой

Верифицируем схему, подавая все возможные комбинации входов и сравнивая выходы с таблицей истинности.



ГЛАВА 4

Применение Комбинационных Устройств

Теоретические основы оживают в реальных устройствах. В этой главе рассмотрим конкретные применения каждого класса комбинационных схем — от клавиатур до систем управления памятью.

Шифраторы в Действии: Ввод Данных



Матричные клавиатуры

Нажатие клавиши замыкает строку и столбец матрицы. Приоритетный шифратор преобразует позицию нажатой клавиши в **ASCII-код или скан-код**, передаваемый процессору. Одновременное нажатие нескольких клавиш обрабатывается корректно за счёт приоритизации.



Сенсорные панели и тачскрины

Координаты точки касания преобразуются в **двоичные коды X и Y**. Шифраторы позиции используются в резистивных панелях; в ёмкостных — аналоговые мультиплексоры сканируют электроды и передают данные на АЦП.

Дешифраторы: Управление Дисплеями

Семисегментные индикаторы

Дешифратор BCD-в-7-сегментов принимает 4-битный двоично-десятичный код и управляет сегментами a–g для отображения цифр 0–9. Применяется в цифровых часах, вольтметрах, кассовых аппаратах.

Светодиодные матрицы

Для управления матрицей 8×8 (64 светодиода) используется построчное сканирование: дешифратор строк выбирает активную строку, а данные для столбцов подаются параллельно. Частота сканирования >100 Гц исключает мерцание.



Мультиплексоры: Коммутация Сигналов

Выбор источника данных

МК или FPGA используют MUX для переключения между **несколькими датчиками или линиями связи**, подключёнными к одному входному каналу АЦП. Адресные входы управляются программно или автоматически.

Построение шин данных

Мультиплексоры позволяют нескольким устройствам совместно использовать **одну шину данных**: арбитр выбирает, какое устройство получает доступ, управляя адресными входами MUX.

Мультиплексирование с временным разделением

В телекоммуникациях MUX объединяет несколько **независимых каналов в один поток** (TDM), циклически переключая информационные входы с высокой частотой.

Демультиплексоры: Распределение Данных

Распределение по устройствам вывода

DEMUX позволяет одному источнику данных **последовательно обслуживать несколько портов или дисплеев**. Синхронизированный с MUX на передающей стороне, он восстанавливает исходные параллельные данные из последовательного потока.

- Вывод на несколько LED-матриц
- Управление сегментами многоразрядных индикаторов
- Передача данных по одному проводу к нескольким устройствам

Управление периферией

В микропроцессорных системах DEMUX (дешифратор адреса) **выбирает одно из нескольких периферийных устройств** по адресному коду на шине адреса. Сигнал CS (Chip Select) активирует нужную микросхему.



Сумматоры: Арифметические Операции

Полусумматор (HA)

Складывает два одноразрядных числа. Выходы: **сумма S = A⊕B** и **перенос C = A·B**. Реализуется на элементах XOR и И.

Полный сумматор (FA)

Добавляет входной перенос C_{in}. Каскадируется в многоразрядные сумматоры (Ripple Carry Adder). Основа всех арифметических операций в АЛУ.

Вычитатель и умножитель

Вычитание реализуется как сложение с дополнением до двух. Умножитель строится из матрицы сумматоров, реализующих алгоритм перемножения двоичных чисел.

Преобразователи Кодов

Двоично-десятичные преобразователи

Осуществляют взаимное преобразование между двоичным (BIN) и двоично-десятичным (BCD) представлением чисел. Необходимы для интерфейса между вычислительными схемами (работающими в двоичной системе) и устройствами отображения, работающими с десятичными цифрами.

Преобразователи стандартных кодов

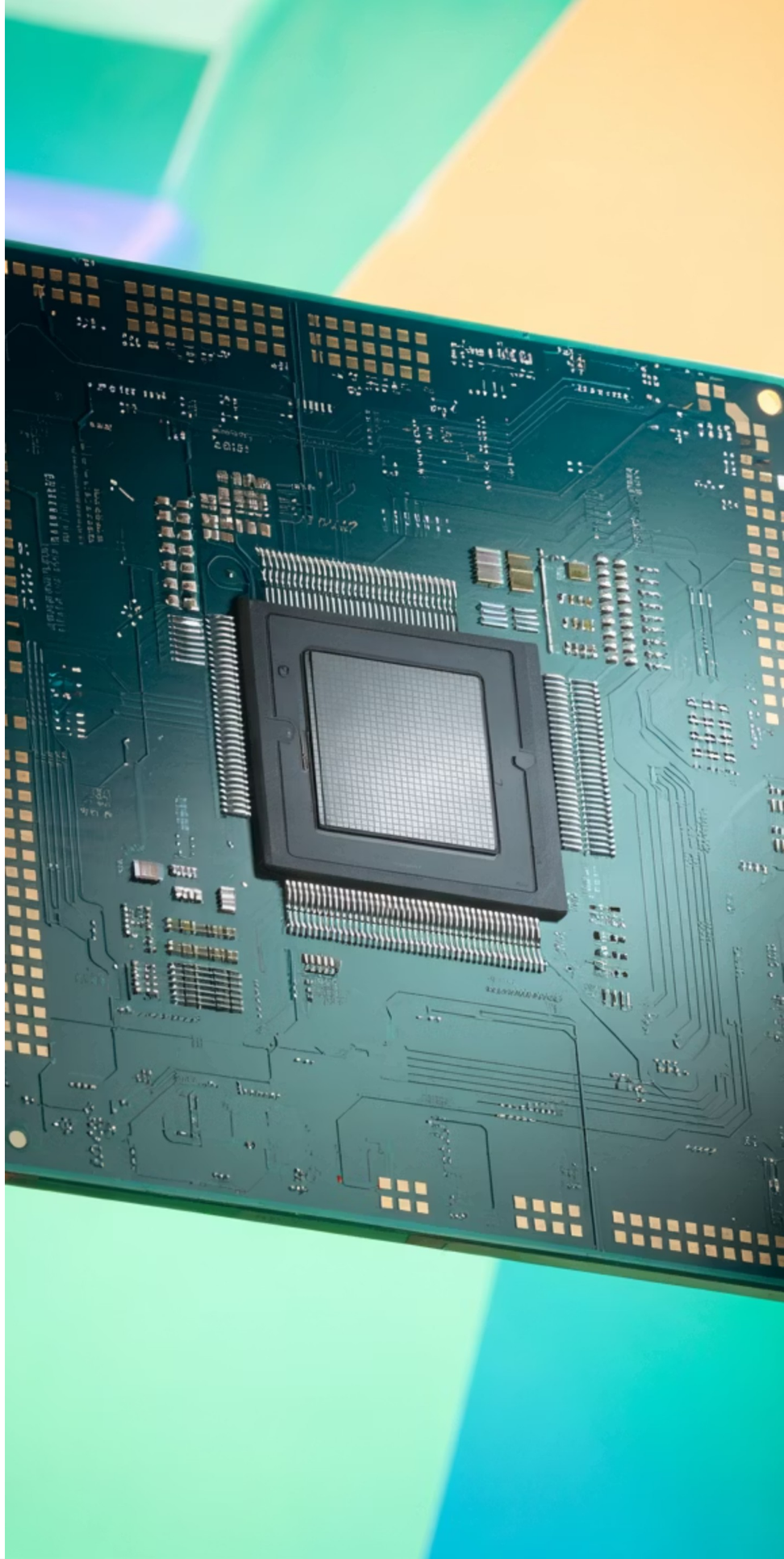
Специализированные комбинационные схемы выполняют преобразование между различными кодировками символов:

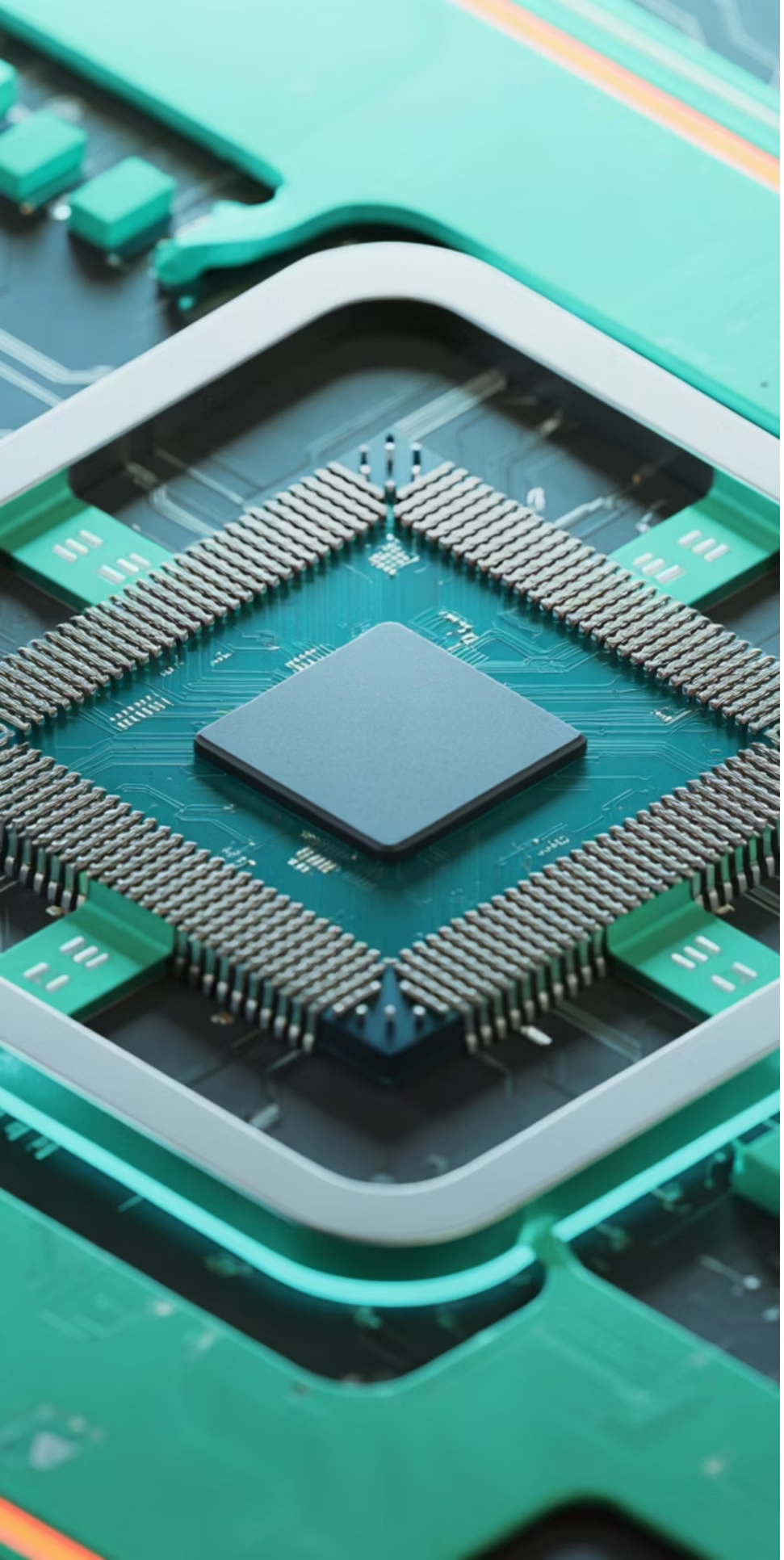
- ASCII ↔ EBCDIC — для совместимости между системами IBM и стандартными ПК
- BCD ↔ код Грея — для датчиков положения и угловых энкодеров
- Двоичный ↔ код Хэмминга — для обнаружения и коррекции ошибок

ГЛАВА 5

Сложные Комбинационные Системы

Комбинационные блоки объединяются в крупные системы — арифметико-логические устройства, контроллеры памяти и управляющие автоматы. Именно они образуют «мозг» современных процессоров и микроконтроллеров.





Арифметико-Логические Устройства (АЛУ)

АЛУ — комбинационный блок, выполняющий все **арифметические и логические операции** процессора. Управляется кодом операции (Opcode), выбирая нужную функцию через мультиплексоры на выходном каскаде.

Арифметические операции

Сложение, вычитание, инкремент, декремент — реализуются каскадами полных сумматоров с управляемым переносом.

Логические операции

AND, OR, XOR, NOT — выполняются побитово над операндами. Результат выбирается мультиплексором по коду операции.

Флаги состояния

АЛУ формирует флаги: нулевой результат (Z), перенос (C), переполнение (V), знак (N) — они управляют условными переходами в программе.

Контроллеры Памяти

Декодирование адреса

Дешифраторы разбивают адресное пространство на зоны: ОЗУ, ПЗУ, регистры периферии. Адресные линии старших разрядов поступают на дешифратор, который активирует сигнал CS нужной микросхемы памяти или устройства ввода-вывода.

Управление чтением и записью

Комбинационные схемы формируют сигналы **OE (Output Enable)** и **WE (Write Enable)** на основе сигналов шины управления процессора. Мультиплексоры позволяют нескольким источникам (CPU, DMA) разделять доступ к памяти.

Устройства Управления

Декодер команд

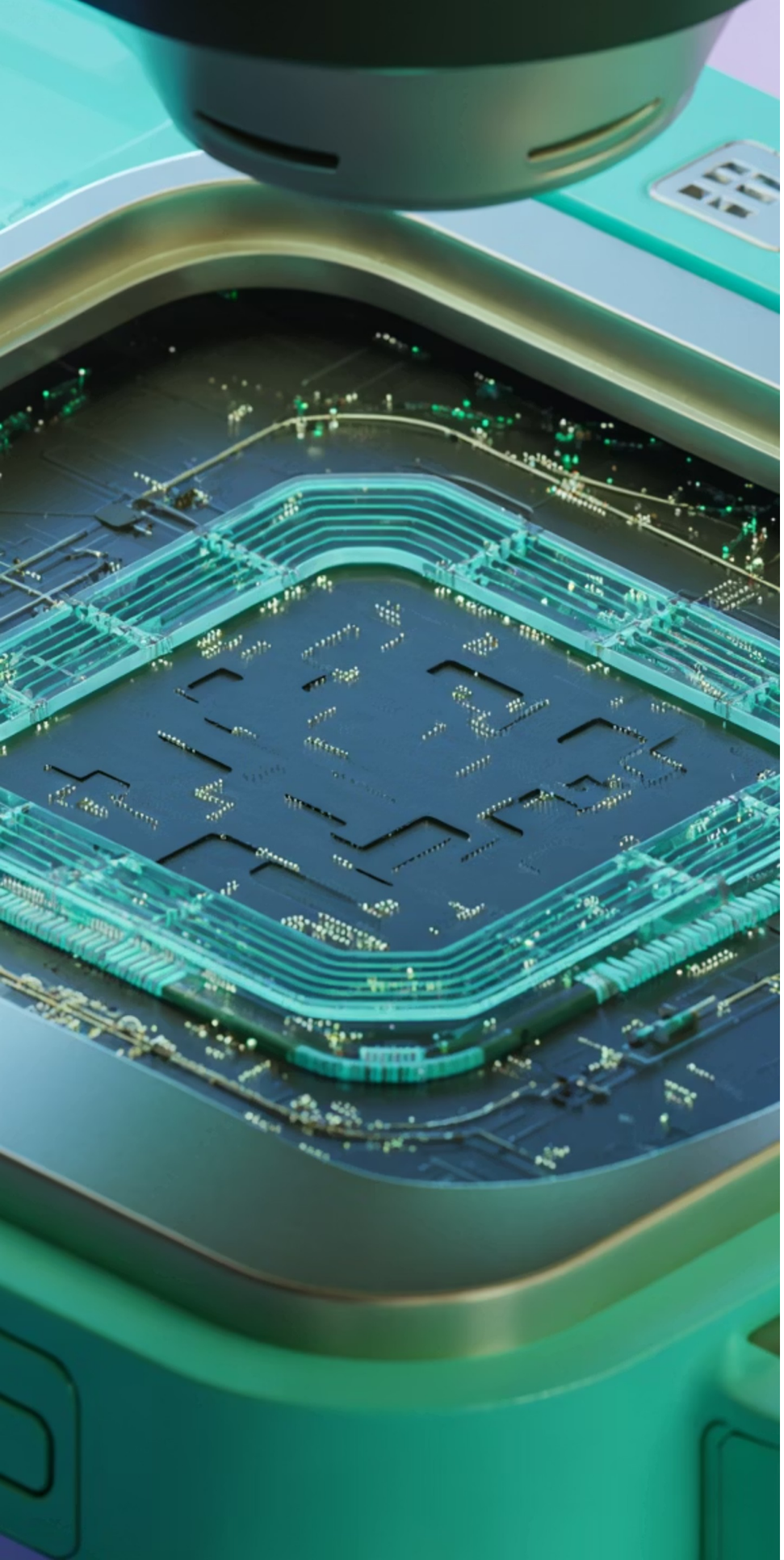
Дешифратор кода операции формирует управляющие сигналы для всех блоков процессора: выбор операции АЛУ, запись в регистры, управление шинами.

Комбинационная часть автомата

В конечных автоматах (Мили/Мура) комбинационная схема вычисляет следующее состояние и выходные сигналы. Триггеры хранят текущее состояние.

Управление шинами

Мультиплексоры и буферы с тремя состояниями управляют передачей данных по системной шине под контролем комбинационного арбитра.



ГЛАВА 6

Современные Тенденции и Вызовы

Развитие технологий ставит перед разработчиками комбинационных схем новые задачи: миниатюризация транзисторов достигает физических пределов, а требования к энергоэффективности и быстродействию постоянно растут.



Миниатюризация и Интеграция

3нм

Техпроцесс 2024

Современные СБИС выпускаются по 3-нм техпроцессу. Транзисторы приближаются к атомарным размерам.

100В+

Транзисторов на чипе

Современные процессоры содержат свыше 100 миллиардов транзисторов на одном кристалле.

SSI→ULSI

Степень интеграции

От SSI (единицы элементов) до ULSI (миллиарды), открывая принципиально новые возможности проектирования.

Быстродействие: Гонка с Задержкой

Источники задержек

- **Внутренняя задержка элемента** — время переключения транзисторов
- **Задержка межсоединений** — RC-задержка металлических проводников
- **Задержка нагрузки** — ёмкость входов подключённых элементов

Методы ускорения

- **Сквозной перенос (CLA)** — вычисление переносов сумматора параллельно, а не последовательно
- **Двухуровневая логика** — минимизация числа уровней вентилей на критическом пути
- **Логическое дублирование** — повторение блоков для снижения нагрузки на узловые точки схемы
- **Оптимизация топологии** — сокращение длины критических межсоединений

Энергоэффективность: Жизнь от Батарейки

Снижение напряжения питания

Переход с 5В (TTL) на 3.3В, 1.8В и ниже (КМОП). Мощность пропорциональна квадрату напряжения: снижение VDD в 2 раза уменьшает динамическое потребление в 4 раза.

Отключение неиспользуемых блоков

Тактовое стробирование (Clock Gating) и отключение питания (Power Gating) неактивных модулей — стандартные методы снижения потребления в SoC.

Многопороговые технологии

Использование транзисторов с разным порогом (HVT, SVT, LVT) в разных частях схемы: быстрые (LVT) — на критических путях, медленные (HVT) — в некритических для минимизации токов утечки.

Состязания в КЦУ (Hazards — Опасности)

Что такое Hazard?

Из-за различных задержек распространения сигналов по разным путям схемы на выходе могут появляться **кратковременные ложные импульсы (глитчи)** при переключении входов. Это явление называется «состязанием» или «опасностью» (Hazard).

- **Static-1 Hazard:** кратковременный «0» при стабильном «1» на выходе
- **Static-0 Hazard:** кратковременный «1» при стабильном «0» на выходе
- **Dynamic Hazard:** несколько переключений вместо одного

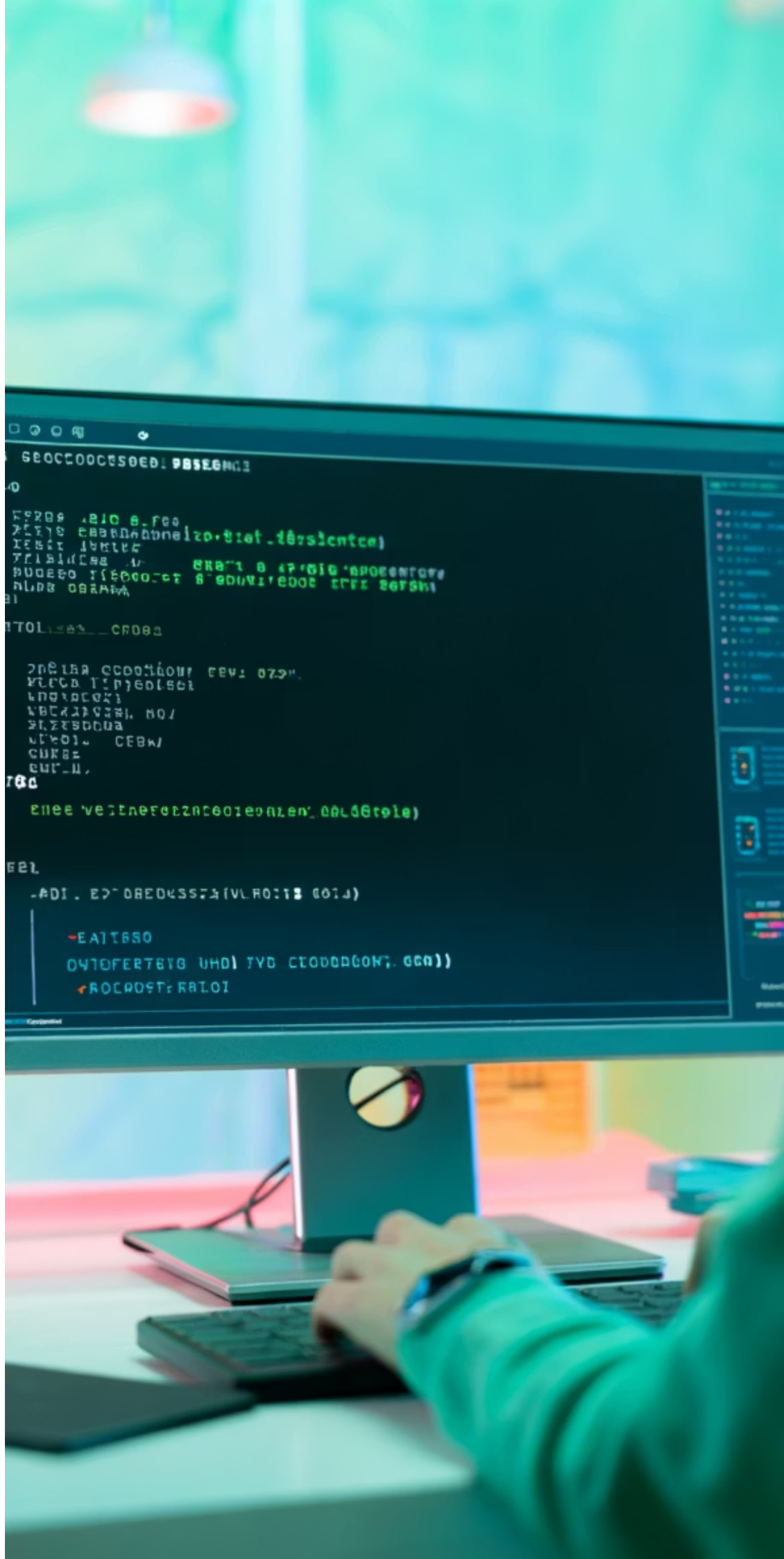
Методы устранения

- **Добавление избыточных конъюнктов** — покрытие «опасных» переходов в карте Карно дополнительными членами
- **Синхронизация:** использование триггеров для фиксации выхода только в стабильном состоянии
- **Выравнивание задержек** — буферизация более быстрых путей
- **Специальные ячейки** — логика без состязаний (hazard-free logic)

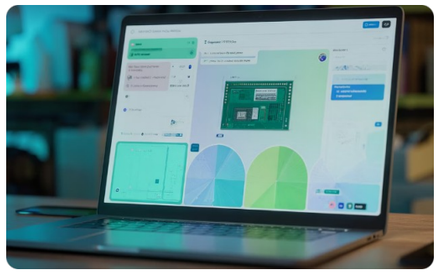
ГЛАВА 7

Практические Аспекты Синтеза

Современное проектирование цифровых устройств немыслимо без инструментов САПР. Языки описания аппаратуры и средства автоматизированного синтеза позволяют создавать схемы с миллиардами транзисторов за разумное время.

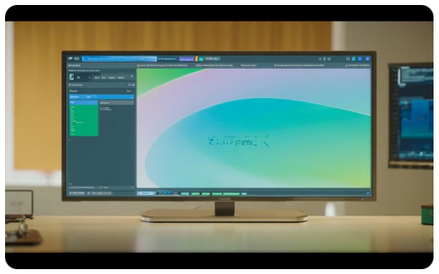


Инструменты САПР (EDA Tools)



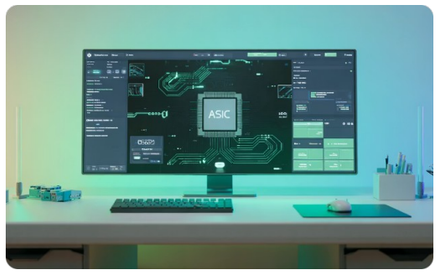
Xilinx Vivado / AMD

Комплексная среда для проектирования на FPGA Xilinx/AMD: синтез, имплементация, генерация битстрима, встроенный логический анализатор (ILA). Поддерживает SystemVerilog и VHDL.



Intel Quartus Prime

Среда для FPGA Intel (Altera): от описания на HDL до программирования устройства. Включает инструменты SignalTap для отладки на кристалле и временной анализатор TimeQuest.



Synopsys / Cadence (ASIC)

Профессиональные инструменты для синтеза заказных СБИС: Design Compiler, Genus. Оптимизируют схему под целевую библиотеку стандартных ячеек с учётом ограничений по мощности и быстродействию.

Языки Описания Аппаратуры (HDL)

Verilog / SystemVerilog

Более лаконичный синтаксис, близкий к языку C. **SystemVerilog** расширяет Verilog конструкциями для верификации (классы, интерфейсы, assertions). Широко применяется в индустрии США и Азии.

```
module mux4x1(
 input[3:0]D,
 input[1:0]S,
 outputY
);
 assign Y = D[S];
endmodule
```

VHDL

Строго типизированный язык с синтаксисом на основе Ada. Распространён в европейской и оборонной промышленности. Обеспечивает высокую строгость описания и переносимость между инструментами.

```
entity mux4x1 is
 port(D : in std_logic_vector(3 downto 0);
 S : in std_logic_vector(1 downto 0);
 Y : out std_logic);
end entity;
architecture rtl of mux4x1 is
begin
 Y <= D(to_integer(unsigned(S)));
end architecture;
```

Симуляция и Верификация



Верификация — наиболее трудоёмкая часть проектирования: по отраслевым оценкам, она занимает до **70% времени разработки**. Ошибка, обнаруженная на этапе симуляции, обходится несравнимо дешевле, чем на этапе изготовления ASIC (стоимость масок — миллионы долларов).

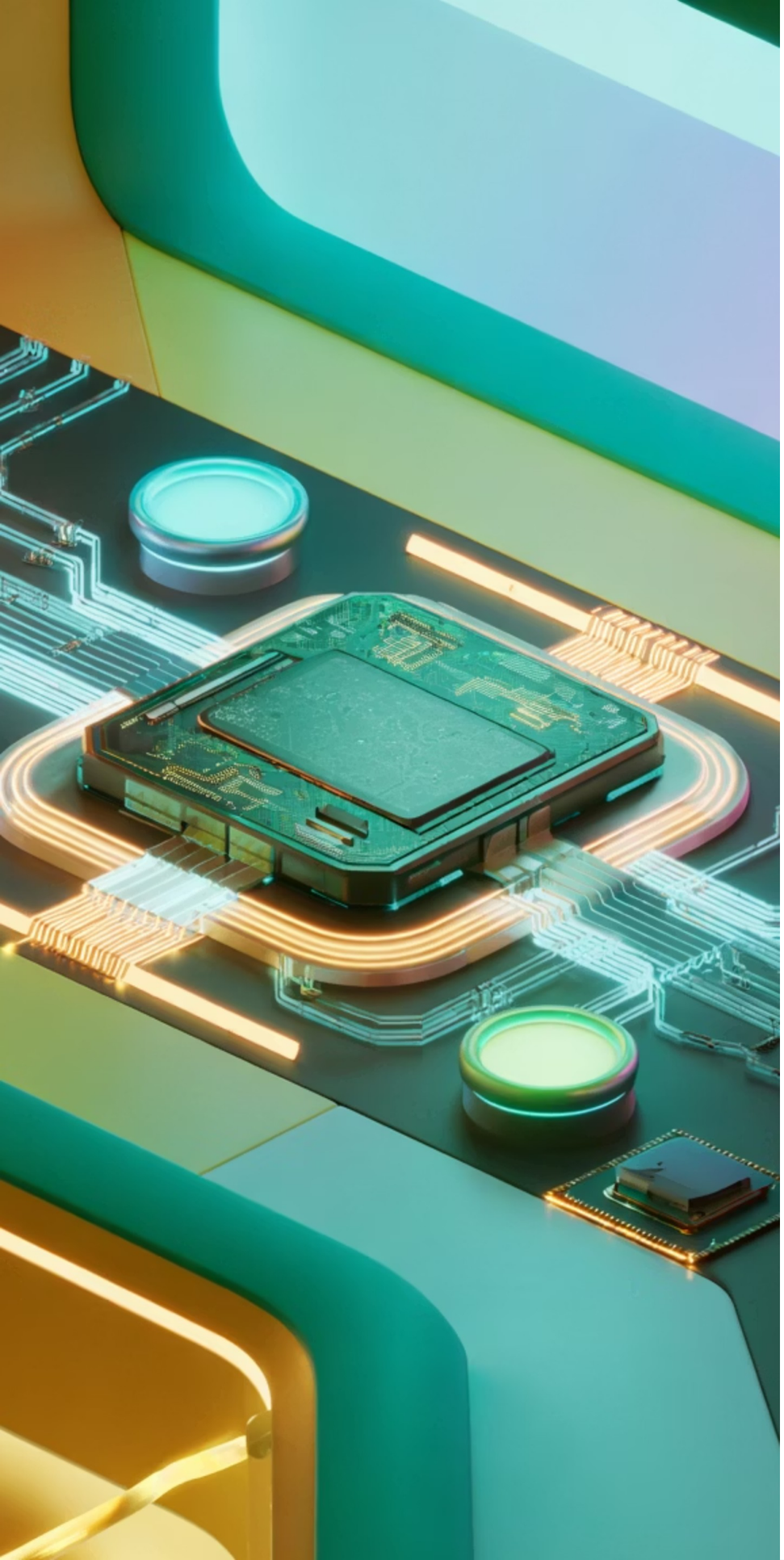
Физическая Реализация: ПЛИС и ASIC

ПЛИС / FPGA

Программируемые логические интегральные схемы — конфигурируемые устройства на базе таблиц перекодировки (LUT), триггеров и коммутационной матрицы. **Быстрый прототип, многократное перепрограммирование**, но выше стоимость и потребление по сравнению с ASIC.

ASIC

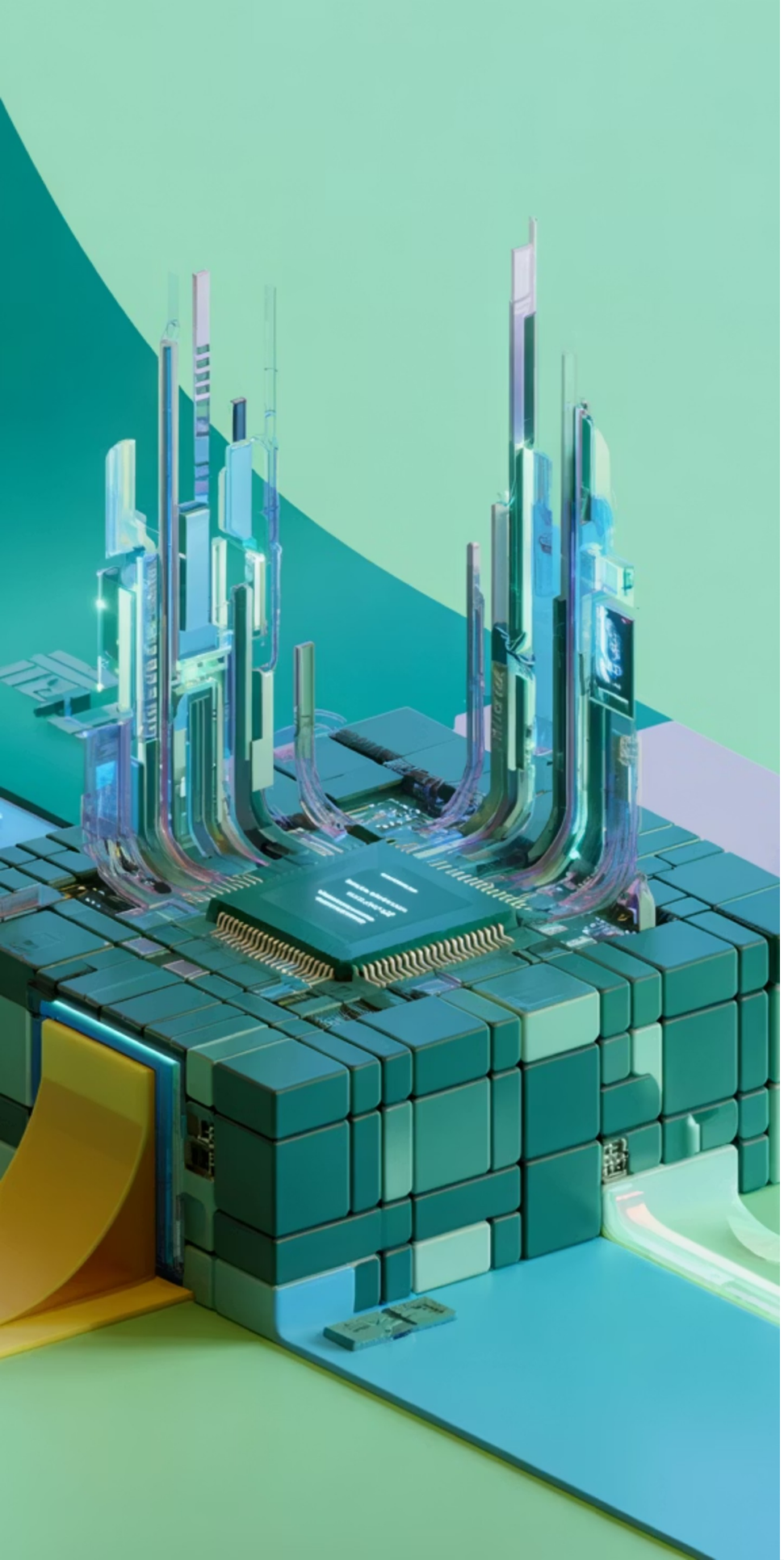
Заказные интегральные схемы оптимизированы под конкретную задачу. Максимальное быстродействие и минимальное потребление, но **высокая стоимость разработки** (от $1M до $10M) оправдана только при массовом производстве. Применяются в смартфонах, сетевых процессорах, GPU.



ГЛАВА 8

Заключение

Подведём итоги нашего путешествия по миру комбинационных устройств — от элементарных логических вентилей до сложнейших систем, управляющих современной цифровой цивилизацией.



Комбинационные Устройства: Фундамент Цифрового Мира

Везде и всегда

Шифраторы, дешифраторы, MUX и DEMUX присутствуют в каждом цифровом устройстве — от простого калькулятора до суперкомпьютера. Без них невозможны ни ввод данных, ни их обработка, ни отображение.

Основа систем

Процессоры, оперативная и постоянная память, системы управления и ввода-вывода — все построены на комбинационных блоках, объединённых с регистрами и триггерами.

Непрерывное развитие

Каждое новое поколение технологий предъявляет новые требования, стимулируя совершенствование методов синтеза, оптимизации и верификации комбинационных схем.

От Простого к Сложному: Путь Синтеза

Базовые вентили

AND, OR, NOT, NAND, NOR, XOR — элементарные строительные блоки

Типовые блоки

Шифраторы, дешифраторы, мультиплексоры, сумматоры

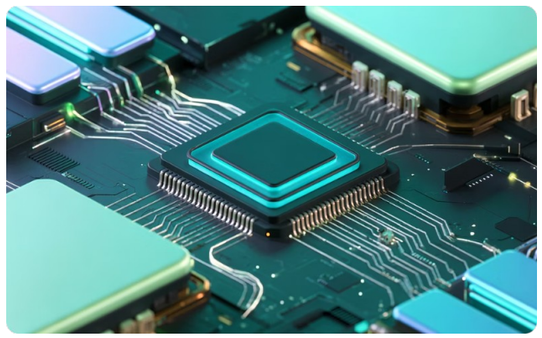
Функциональные узлы

АЛУ, контроллеры памяти, устройства управления

Сложные системы

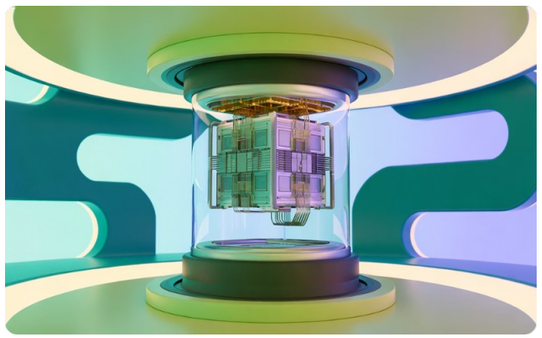
SoC, процессоры, FPGA, ASIC — полноценные цифровые системы

Будущее Комбинационной Логики



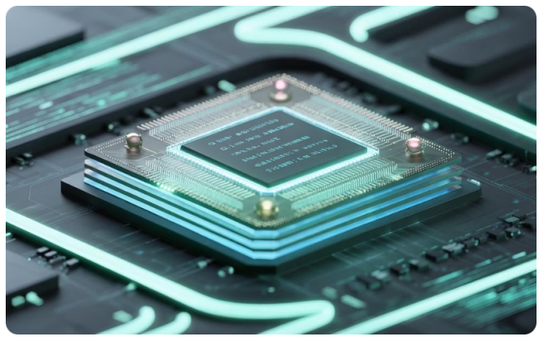
ИИ и нейроморфные вычисления

Специализированные комбинационные схемы для ускорения нейронных сетей (NPU, TPU) — умножители матриц и сумматоры с пониженной точностью (INT8, FP16) обеспечивают максимальную производительность при минимальном потреблении.



Квантовые вычисления

Квантовые схемы используют принципиально иные элементы (кубиты, квантовые вентили), однако классическая комбинационная логика по-прежнему необходима для управляющей электроники квантовых компьютеров.



Новые материалы и архитектуры

Графен, нанотрубки, 2D-материалы и spintronics открывают путь к транзисторам за пределами кремниевого масштабирования. Новые архитектуры (In-Memory Computing, 3D-стекирование) переосмыслят сам подход к синтезу.