САТБАЕВ УНИВЕРСИТЕТІ

SATBAYEV UNIVERSITY

Цифровая схемотехника

Ержан Асел Ануаркызы,Ph.D., ассоциированный профессор

Assel.yerzhan@satbayev.university

RS-триггеры, Комбинированные RS-D и Универсальные JK-триггеры

Фундаментальные элементы цифровой логики: от простейших бистабильных схем до универсальных триггеров, лежащих в основе современной электроники.



ГЛАВА 1

Основы Цифровой Памяти – RS-триггеры

Первая глава посвящена базовым принципам хранения информации в цифровых схемах. Мы рассмотрим, что такое триггер, как работает простейший RS-триггер и каковы его реализации на логических элементах.



Что такое Триггер?

🔁 Бистабильность

Устройство с двумя устойчивыми состояниями, способное хранить **1 бит информации** без постоянного источника питания на входе.

⚙ Основа техники

Базовый строительный блок цифровой электроники: от простых калькуляторов до суперкомпьютеров и современных процессоров.

🔧 Реализация

Строится из стандартных логических элементов: **И-НЕ** или **ИЛИ-НЕ**, что обеспечивает простоту и надёжность схемы.

Триггер — это ячейка памяти, сохраняющая своё логическое состояние до тех пор, пока не поступит управляющий сигнал на его изменение. Именно это свойство делает триггеры незаменимыми в цифровых системах.

RS-триггер: Простейший Элемент Памяти

Входы и выходы

S (Set) — установка в логическую 1 **R (Reset)** — сброс в логический 0 **Q** — прямой выход **Q'** — инверсный выход

Таблица истинности

S	R	Q	Действие
1	0	1	Установка в «1»
0	1	0	Сброс в «0»
0	0	Q	Хранение
1	1	?	⚠ Запрещено

При **S=0, R=0** триггер «запоминает» предыдущее состояние — это и есть функция памяти. Комбинация S=1, R=1 является запрещённой, так как приводит к неопределённому поведению схемы.

RS-триггер на Элементах 2И-НЕ

Микросхема 155ЛА3

Типичная реализация RS-триггера использует четыре элемента **2И-НЕ**, входящих в состав микросхемы 155ЛА3 (зарубежный аналог — SN7400).

Инверсная активность

Особенность данной схемы: триггер активируется при подаче **логического нуля** на входы R или S. Входы имеют инверсную логику (обозначаются как **S' и R'**).

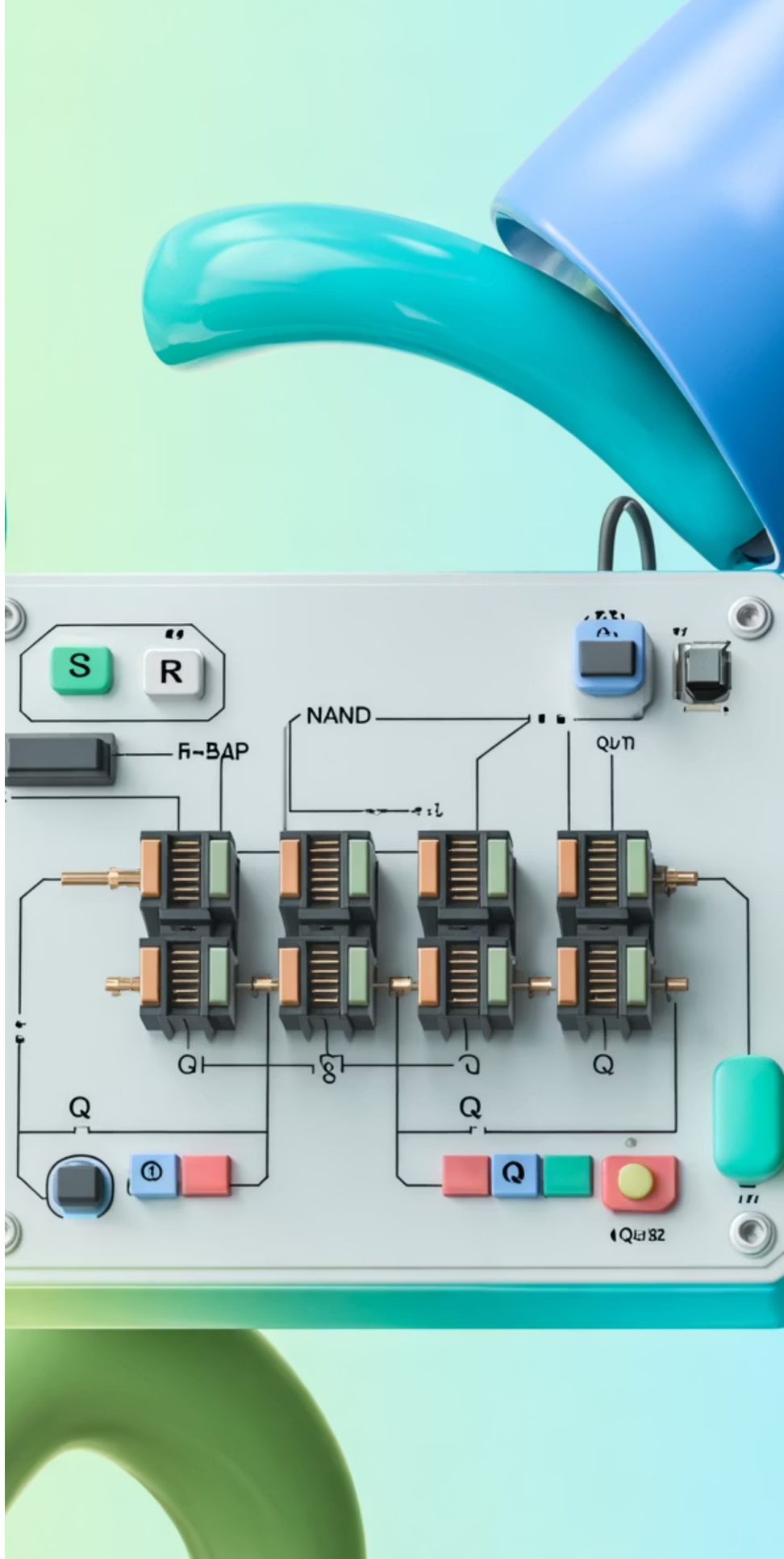
Питание микросхемы

Напряжение питания +5 В подаётся на **14-й вывод**, общий (минус) — на **7-й вывод**. Необходимо соблюдать полярность подключения.



Схема RS-триггера на элементах 2И-НЕ

На схеме показаны две кнопки **SB1 (S)** и **SB2 (R)** для управления входами, а также два светодиода **HL1 (Q)** и **HL2 (Q')**, отображающих текущее состояние триггера. Перекрёстные обратные связи между элементами И-НЕ обеспечивают бистабильность.



RS-триггер на Элементах 2ИЛИ-НЕ

Альтернативная реализация

RS-триггер на элементах **2ИЛИ-НЕ** — ещё одна классическая реализация. Схема состоит из двух перекрёстно включённых вентилей ИЛИ-НЕ.

Прямая активность

В отличие от схемы на И-НЕ, здесь триггер активируется при подаче **логической единицы** на входы R или S — прямая логика управления.

Сравнение реализаций

Параметр	2И-НЕ	2ИЛИ-НЕ
Активный уровень	Лог. «0»	Лог. «1»
Запрещённая комбинация	S'=R'=0	S=R=1
Хранение	S'=R'=1	S=R=0

Асинхронные и Синхронные RS-триггеры

1

Асинхронный RS-триггер

Состояние изменяется **мгновенно** при изменении входных сигналов R и S. Простота реализации, но возможны «гонки» сигналов в сложных схемах.

2

Добавление тактового входа C

Введение входа **Clock (C)** позволяет синхронизировать изменение состояния с тактовым генератором всей системы.

3

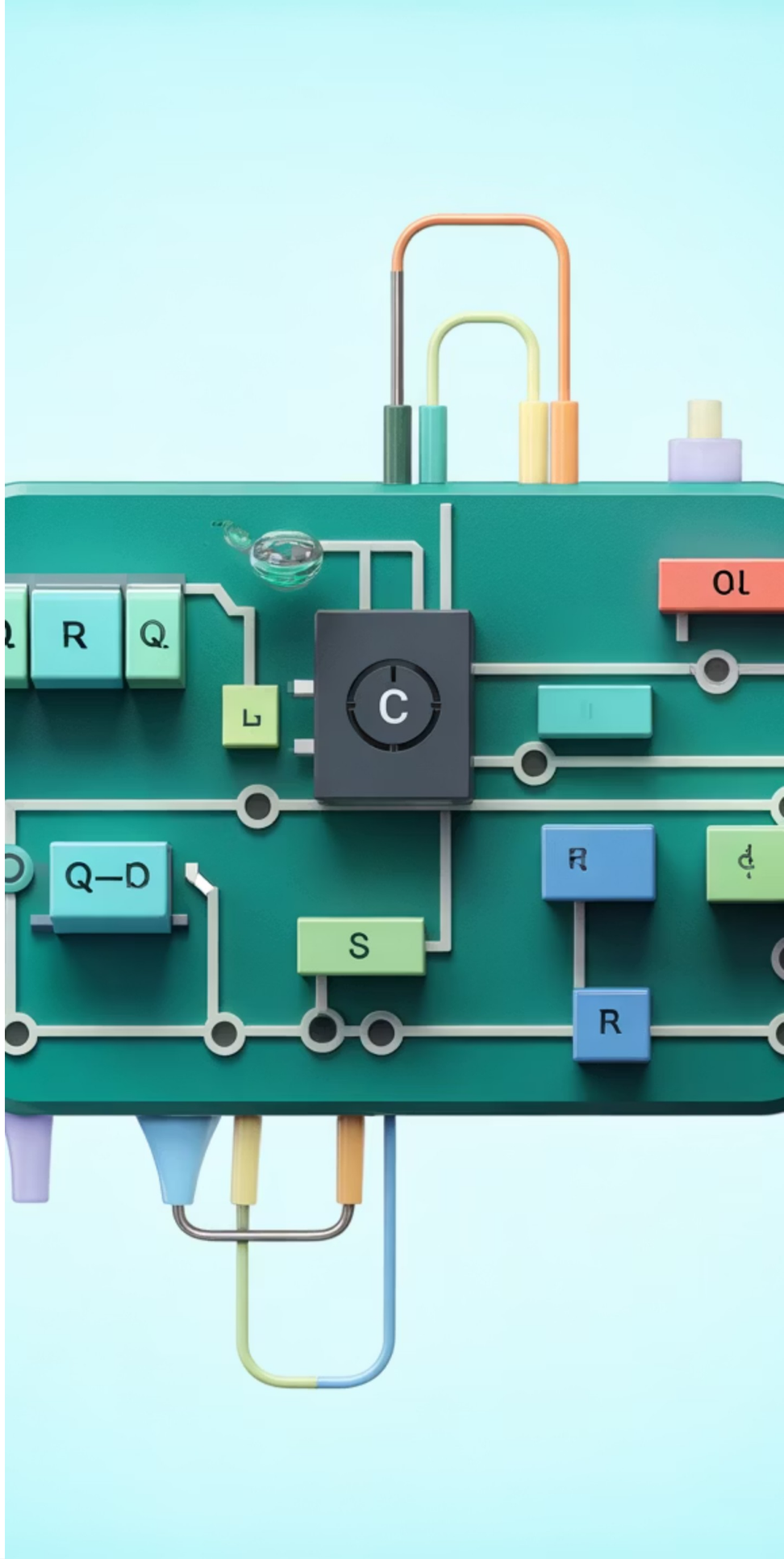
Синхронный RS-триггер

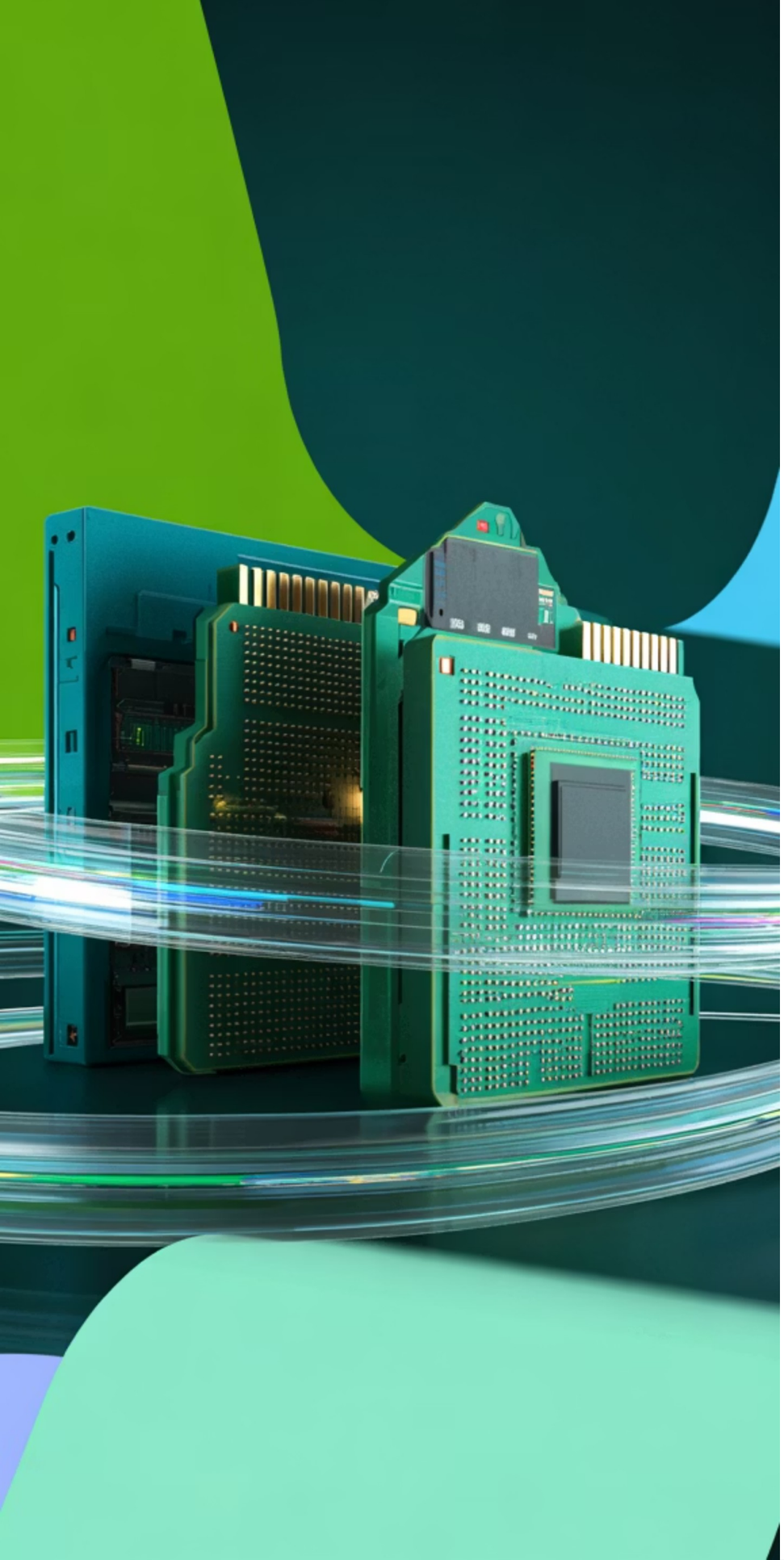
Изменение состояния происходит **только при активном тактовом сигнале**. Более предсказуем и удобен в сложных цифровых системах.

Синхронные триггеры являются основой синхронных цифровых автоматов, обеспечивая согласованную работу всех элементов схемы по единому тактовому сигналу.

Схема Синхронного RS-триггера

Тактовый вход **C (Clock)** управляет разрешением прохождения сигналов S и R к основному RS-триггеру. Дополнительные элементы И на входах «стробируют» данные: изменение состояния возможно только при C=1, что обеспечивает полную синхронизацию работы.





ГЛАВА 2

Комбинированные RS-D Триггеры – Управление Данными

Вторая глава рассматривает D-триггеры — ключевой элемент для хранения и передачи данных. Мы разберём принцип работы, реализацию на основе RS-триггера и расширенные возможности DV-триггеров.

D-триггер: Триггер с Запоминанием

Ключевые параметры

D (Data) — информационный вход **C** (Clock) — тактовый вход **Q, Q'** — прямой и инверсный выходы

Уравнение: **Qn+1 = Dn**

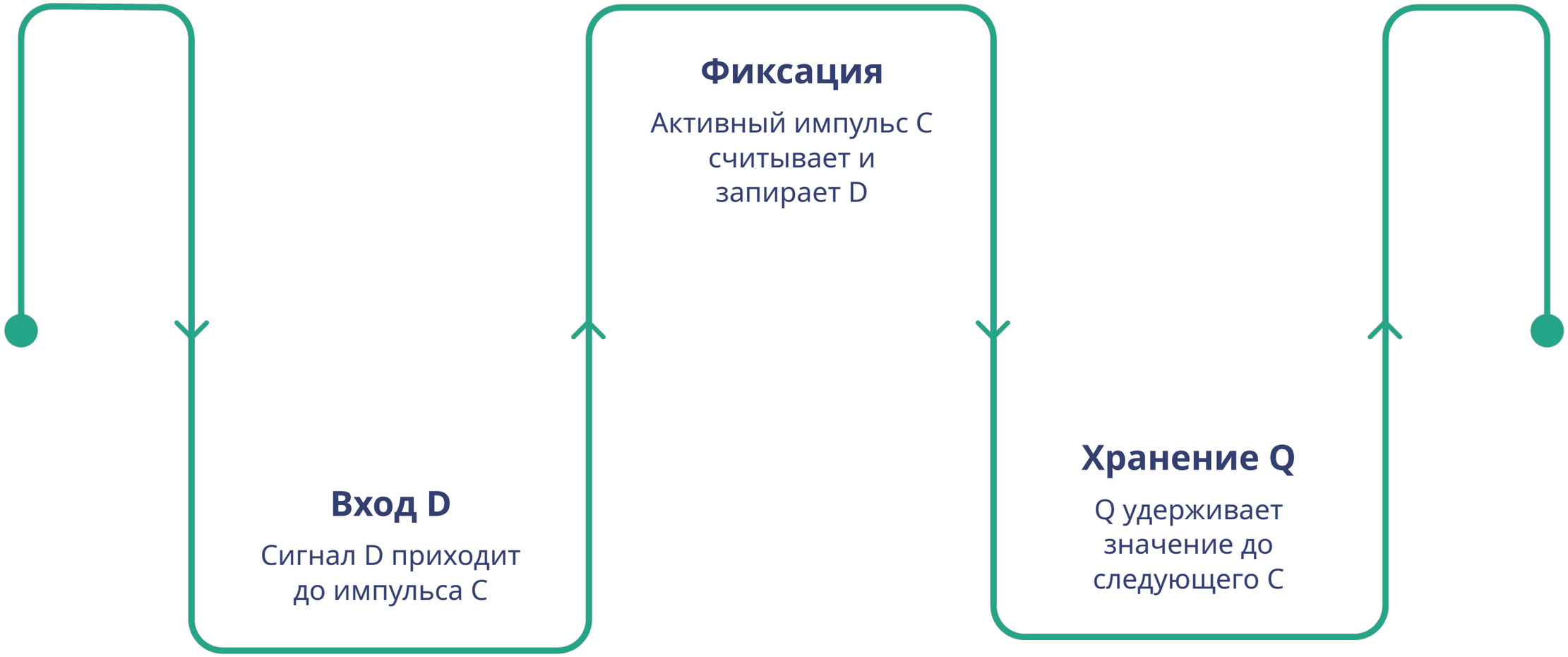
Принцип работы

При появлении активного тактового импульса на входе C триггер **запоминает текущее состояние** входа D и сохраняет его до следующего тактового импульса. Между импульсами изменения D не влияют на выход Q.

Применение

- Построение регистров хранения данных
- Синхронные счётчики
- Буферы передачи данных

Как D-триггер «запоминает» информацию?



Механизм работы D-триггера исключает неопределённость: вход **D** определяет следующее состояние, а тактовый сигнал **C** является разрешением на запись. Информация сохраняется стабильно даже при последующих изменениях сигнала D — это делает D-триггер идеальным для построения надёжных регистров в синхронных цифровых системах.

Создание D-триггера из RS-триггера

01

Мастер-триггер (Master)

Первый RS-триггер принимает входной сигнал D напрямую на вход S и инвертированный сигнал D' на вход R. Активен при C=1.

02

Инвертор

Элемент НЕ формирует инверсный сигнал D' для подачи на вход R мастер-триггера, исключая запрещённую комбинацию S=R=1.

03

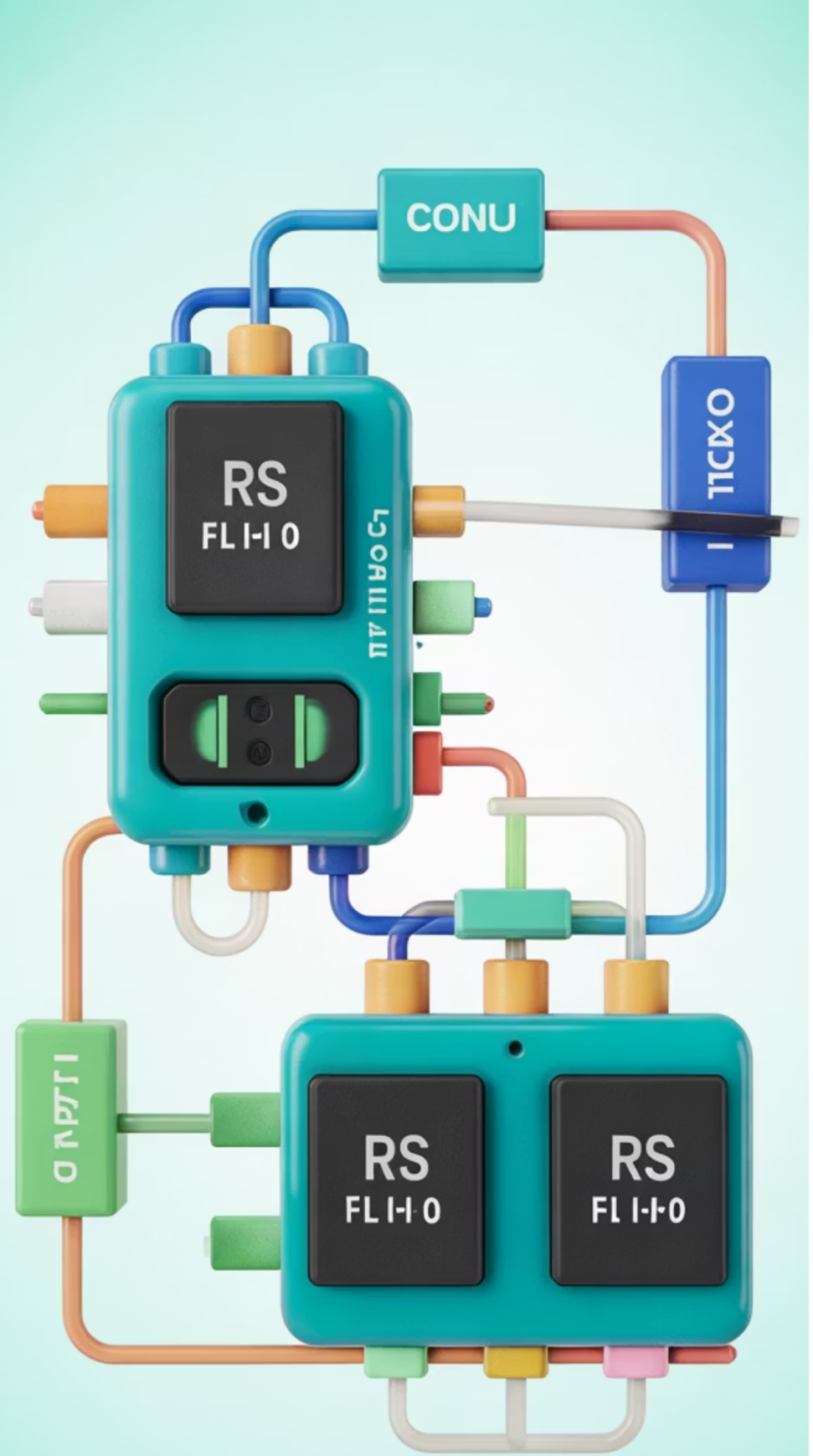
Слейв-триггер (Slave)

Второй RS-триггер принимает выходы мастера и обновляет свои выходы Q и Q' при инверсии тактового сигнала (C=0).

04

Результат: схема «мастер-слейв»

Такая конфигурация полностью реализует функцию D-триггера, устраняя проблему сквозной прозрачности и обеспечивая чёткую синхронизацию.



Блок-схема: RS-триггер → D-триггер

Схема «мастер-слейв» на двух RS-триггерах: мастер захватывает данные при **C=1**, слейв передаёт их на выход при **C=0**. Инвертор на входе R гарантирует, что D-триггер никогда не попадёт в запрещённое состояние, поскольку S и R всегда противоположны.

D-триггер на основе JK-триггера

Метод преобразования

D-триггер легко получить из JK-триггера, подавая сигнал D на вход **J**, а инвертированный сигнал **D'** на вход K. В результате:

- При D=1: J=1, K=0 → Q устанавливается в 1
- При D=0: J=0, K=1 → Q сбрасывается в 0

Запрещённая комбинация J=K=1 полностью исключена, так как D и D' всегда инверсны.

Преимущества подхода

Использование JK-триггера как базы для D-триггера удобно при разработке на микросхемах серий 155/555, где JK-триггеры широко доступны. Это экономит площадь кристалла и упрощает проектирование.

DV-триггеры: Расширенные Возможности

Вход D (Data)

Информационный вход, определяющий состояние триггера при разрешённой записи.

Вход C (Clock)

Тактовый вход синхронизирует запись данных с общей тактовой сетью схемы.

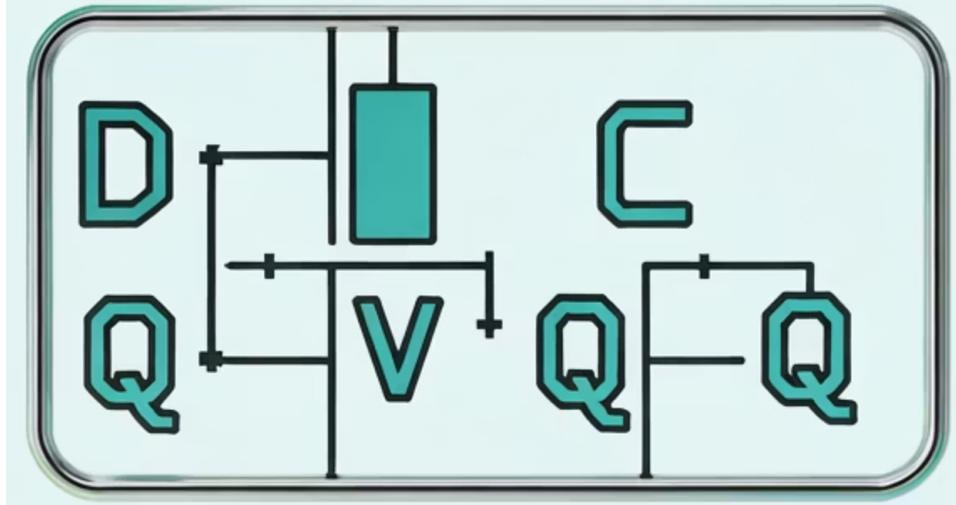
Вход V (Valid)

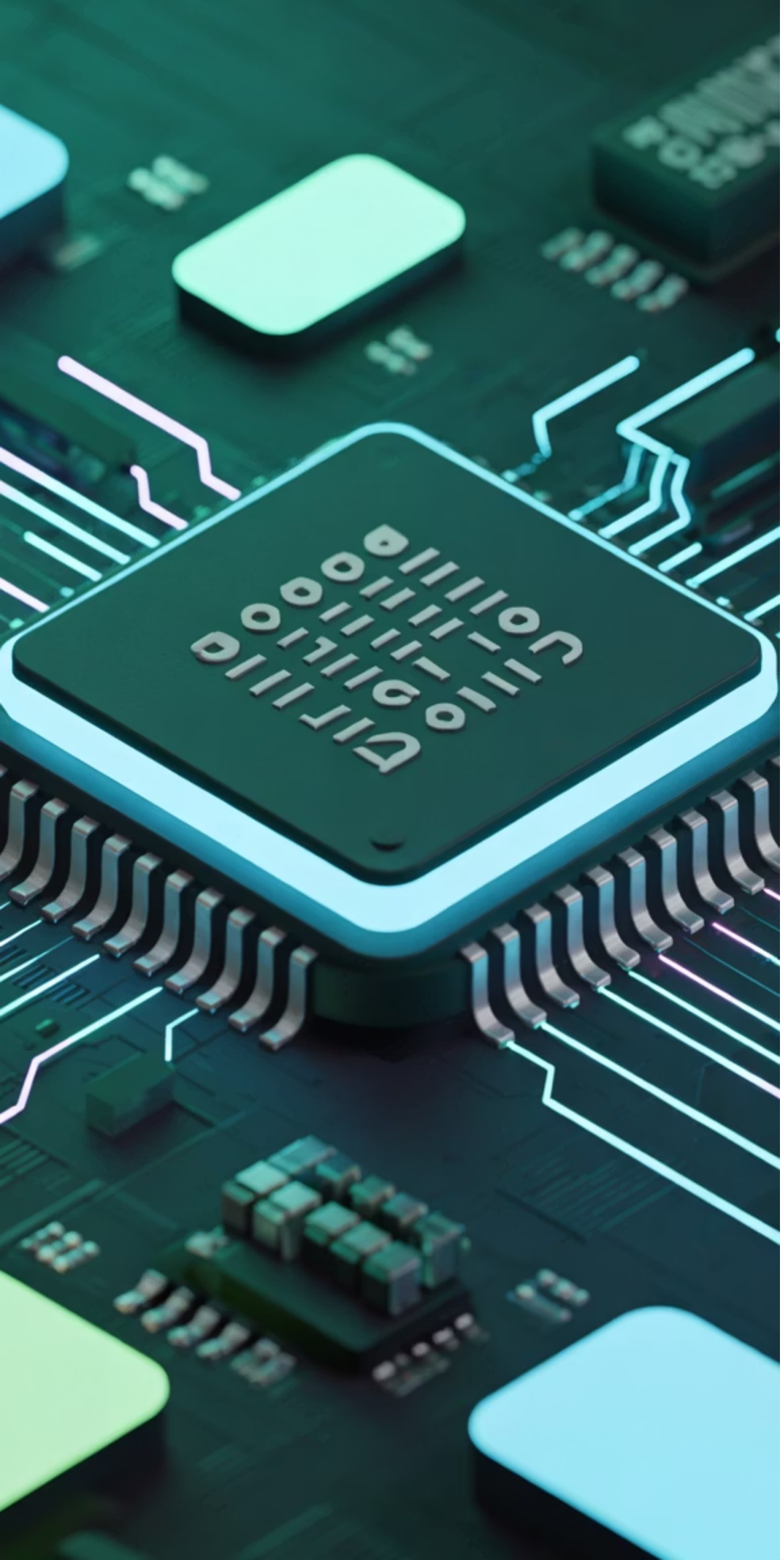
Разрешающий вход. При V=1 триггер запоминает D; при V=0 сохраняет текущее состояние Qn.

Уравнение DV-триггера: **$Q_{n+1} = D_n \cdot V_n \vee Q_n \cdot \bar{V}_n$**. Это позволяет сохранять данные на выходах в течение нескольких тактов, что функционально сближает DV-триггер с JK-триггером.

Условное Графическое Обозначение DV-триггера

Условное графическое обозначение (УГО) DV-триггера: вход **D** — данные, **C** — синхронизация, **V** — разрешение записи. Выходы **Q** и **Q'** отображают текущее и инверсное состояния. При V=0 данные «заморожены» независимо от изменений на входе D.





ГЛАВА 3

Универсальные JK-триггеры – Максимальная Гибкость

Третья глава посвящена JK-триггеру — наиболее функционально полному и универсальному типу триггеров. Он устраняет недостатки RS-триггера и может эмулировать работу любого другого типа.

JK-триггер: Универсальное Решение

Вход J (Set)

Аналог входа S в RS-триггере. При J=1 и K=0 выход Q устанавливается в **логическую 1**.

Вход K (Reset)

Аналог входа R в RS-триггере. При K=1 и J=0 выход Q сбрасывается в **логический 0**.

Вход C (Clock)

Тактовый вход — изменение состояния разрешено только при активном фронте тактового сигнала.

Асинхронные входы

Входы предустановки **S' и R'** действуют независимо от тактового сигнала, для принудительной установки состояния.

Таблица Истинности JK-триггера

J	K	Qn+1	Режим
0	0	Qn	Хранение
1	0	1	Установка
0	1	0	Сброс
1	1	$\bar{Q}n$	Инверсия (Toggle)

Ключевое преимущество

В отличие от RS-триггера, комбинация **J=K=1** не запрещена — она переключает (инвертирует) состояние выхода Q. Это кардинальное улучшение делает JK-триггер по-настоящему универсальным.

Каждая из четырёх комбинаций входов J и K соответствует конкретному, строго определённому действию. Неопределённых состояний нет, что значительно упрощает проектирование цифровых схем.

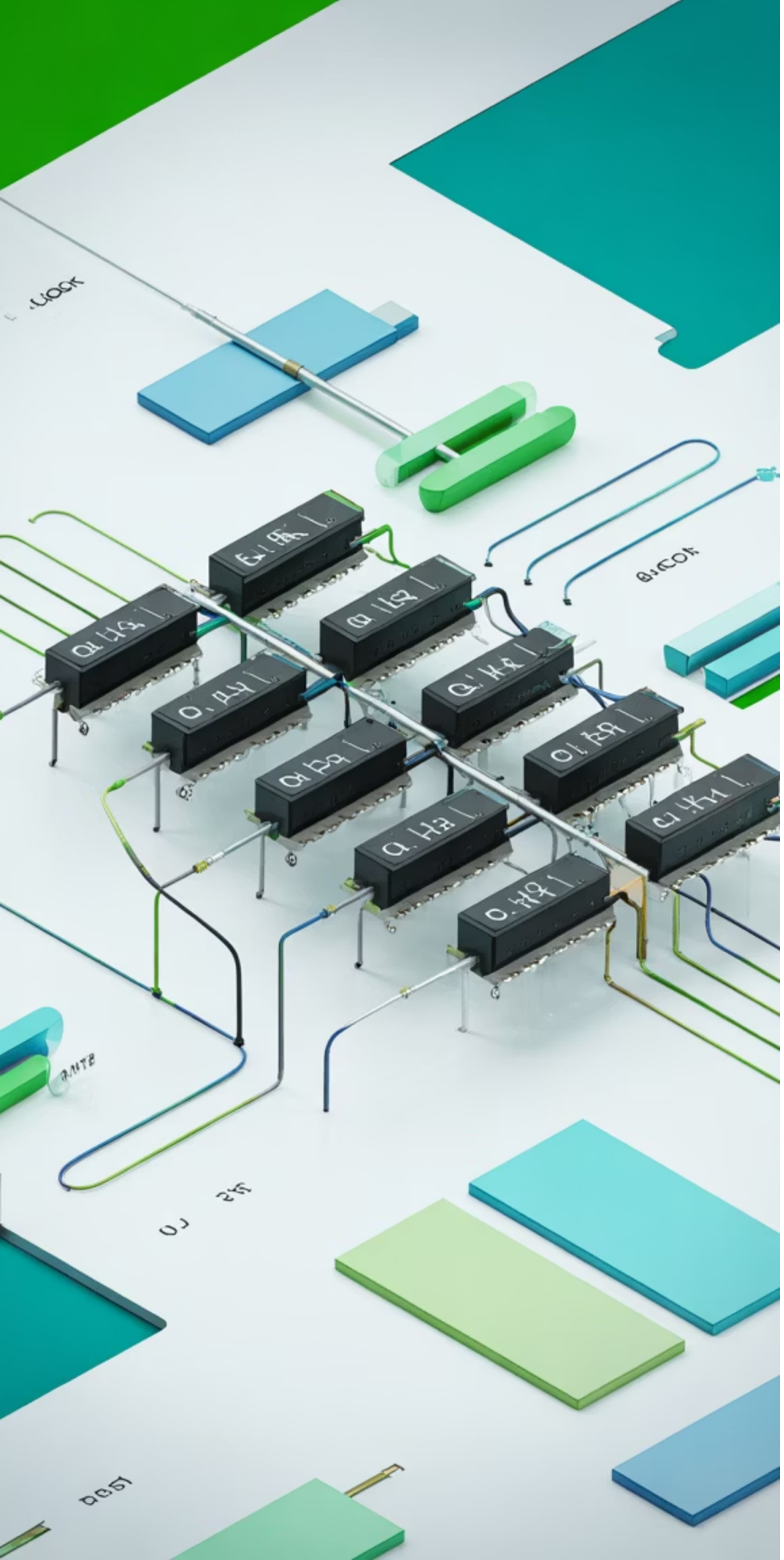


Схема JK-триггера на Логических Элементах

JK-триггер строится на базе синхронного RS-триггера с добавлением двух трёхвходовых элементов И-НЕ на входах J и K. Обратные связи с выходов Q и Q' на входные элементы обеспечивают режим переключения при J=K=1, устраняя запрещённую комбинацию.

Преимущества JK-триггера

Эмуляция D-триггера

При подаче D на вход J и D' на вход K — JK работает как D-триггер. **Полная совместимость функций.**

Эмуляция T-триггера

При J=K=1 каждый тактовый импульс инвертирует состояние выхода — идеально для **счётчиков и делителей** частоты.

Эмуляция RS-триггера

При J=S и K=R JK-триггер выполняет функции RS-триггера, но **без запрещённых комбинаций** на входе.

Универсальность применения

Один тип микросхемы способен заменить несколько других типов триггеров, что **упрощает проектирование и снижает стоимость**.

Асинхронные Входы JK-триггера

Вход Set (предустановка «1»)

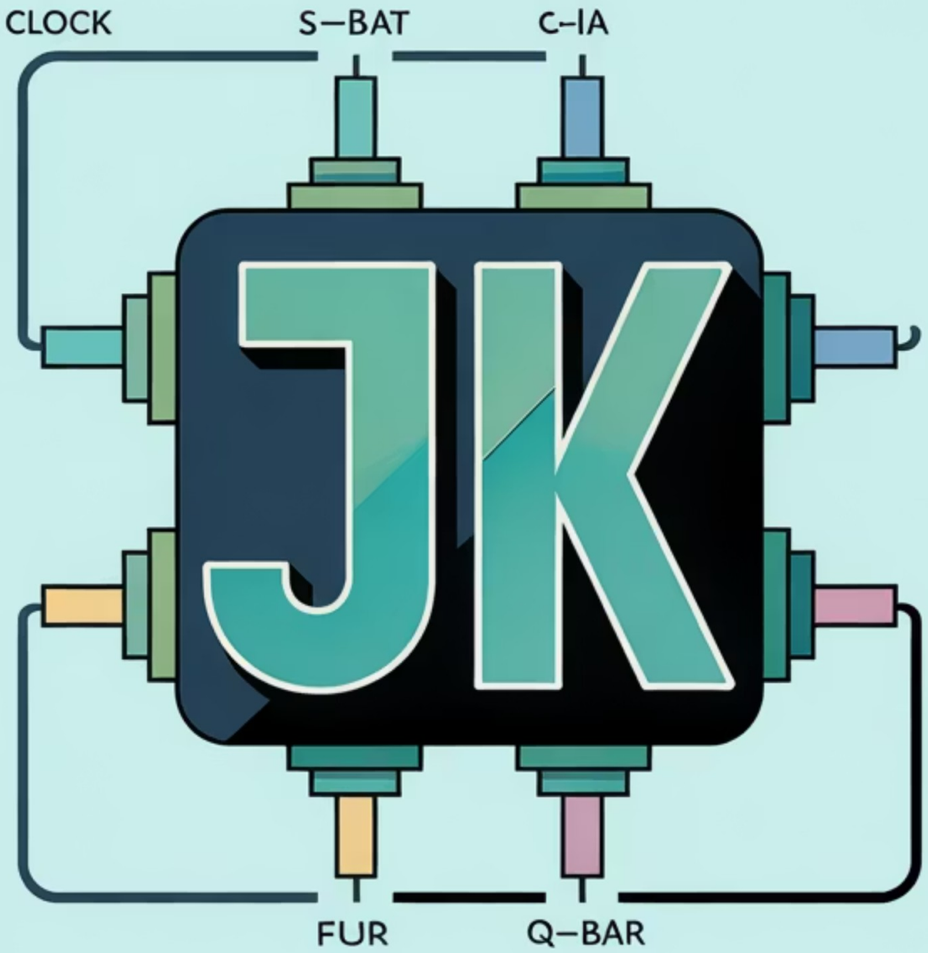
Принудительно устанавливает Q=1 и Q'=0 **независимо от тактового сигнала** и состояния входов J и K. Активен низким уровнем (S'=0).

Вход Reset (предустановка «0»)

Принудительно устанавливает Q=0 и Q'=1 **независимо от тактового сигнала**. Активен низким уровнем (R'=0). Используется для инициализации схемы при включении питания.

Приоритет и ограничения

Асинхронные входы имеют **высший приоритет** над синхронными J, K и C. Одновременная активация Set и Reset также запрещена.



УГО JK-триггера

Стандартное условное графическое обозначение JK-триггера: входы **J** и **K** — информационные, **C** — тактовый, асинхронные входы **S' (Set)** и **R' (Reset)** обозначены с кружками (активный низкий уровень). Выходы **Q** и **Q'** — прямой и инверсный.

T-триггер (Toggle)

Принцип работы

T-триггер — частный случай JK-триггера при **J=K=1**. При каждом активном тактовом импульсе состояние выхода Q **инвертируется**:

- Если Q=0 → становится Q=1
- Если Q=1 → становится Q=0

Частота сигнала на выходе Q вдвое **ниже** тактовой частоты — T-триггер является делителем частоты на 2.

Применение T-триггеров

- **Двоичные счётчики** — каждый разряд счётчика реализуется одним T-триггером
- **Делители частоты** — каскадное соединение T-триггеров делит частоту на 2n
- **Цифровые часы** — формирование секунд, минут и часов

Схема T-триггера из JK-триггера

Для получения T-триггера из JK-триггера достаточно подключить оба входа J и K к уровню логической 1 (шина питания через резистор). Тактовый вход C остаётся функциональным. На выходе Q формируется меандр с частотой, вдвое меньшей тактовой — это простейший и надёжнейший способ деления частоты на 2.



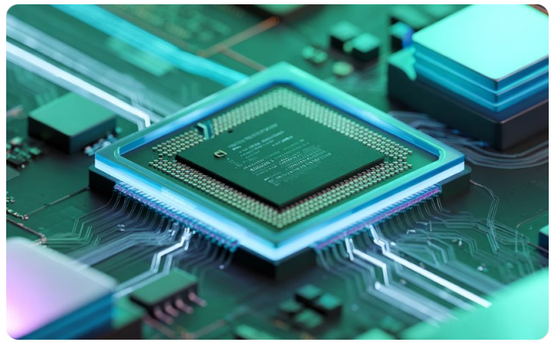
ГЛАВА 4

Практическое Применение и Сравнение

Четвёртая глава рассматривает реальные области применения триггеров, сравнивает их типы по ключевым параметрам и объясняет роль синхронизации в сложных цифровых системах.



Где используются триггеры?



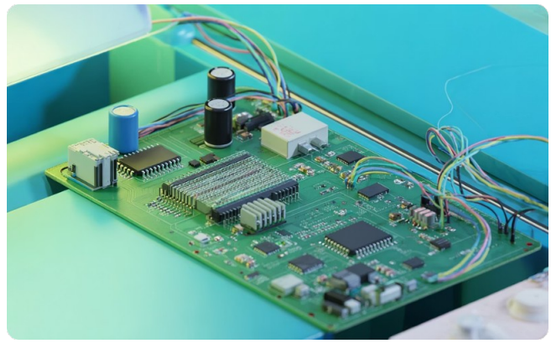
Регистры

D-триггеры формируют регистры хранения данных в **процессорах** и контроллерах.



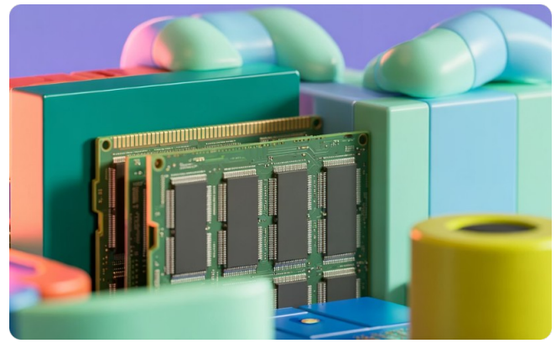
Счётчики

JK и T-триггеры строят **двоичные счётчики** для подсчёта импульсов и событий.



Делители частоты

T-триггеры в каскаде делят тактовую частоту на **2n** для формирования медленных сигналов.



Ячейки памяти

RS-триггеры — базовые ячейки **статической оперативной памяти** (SRAM).

Сравнение Основных Типов Триггеров

RS-триггер	D-триггер	JK-триггер
Входы: S, R **Память:** при S=R=0 **Ограничение:** запрещена комбинация S=R=1 **Применение:** простые схемы памяти, ячейки SRAM	**Входы:** D, C **Память:** сохраняет D при C=1 **Ограничение:** нет запрещённых комбинаций **Применение:** регистры, буферы, защёлки	**Входы:** J, K, C, S', R' **Память:** при J=K=0 **Особенность:** J=K=1 → инверсия **Применение:** счётчики, универсальные схемы

JK-триггер является наиболее функционально полным: он объединяет возможности RS- и D-триггеров, добавляя режим переключения. При этом ни одна комбинация входных сигналов не является запрещённой.

Сравнительная Таблица Триггеров

Тип	Входы	Запрещ.	Функция	Применение
RS	S, R	S=R=1	Установка/Сброс/Хранение	SRAM, защёлки
D	D, C	Нет	Запоминание D по фронту C	Регистры, буферы
JK	J, K, C	Нет	Set/Reset/Hold/Toggle	Счётчики, делители
T	T (=J=K=1)	Нет	Инверсия по каждому C	Делители частоты

Синхронные vs Асинхронные Триггеры

⏱ Синхронные триггеры

- Изменение состояния — **только по тактовому сигналу**
- Работают в составе синхронных цифровых автоматов
- Исключают «гонки» сигналов (race conditions)
- Обеспечивают предсказуемое поведение в сложных системах
- Применяются в процессорах, ПЛИС, DSP

⚡ Асинхронные триггеры

- Изменение состояния — **мгновенно** при изменении входов
- Более простая схема, нет необходимости в тактовом генераторе
- Могут вызывать проблемы синхронизации в цепочках
- Уязвимы к паразитным импульсам (glitches)
- Применяются в простых схемах и интерфейсах

В современной цифровой технике **синхронное проектирование** является стандартом де-факто, так как позволяет строить надёжные и верифицируемые системы с предсказуемым временем распространения сигналов.

Триггеры в Микросхемах

Стандартные серии TTL/КМОП

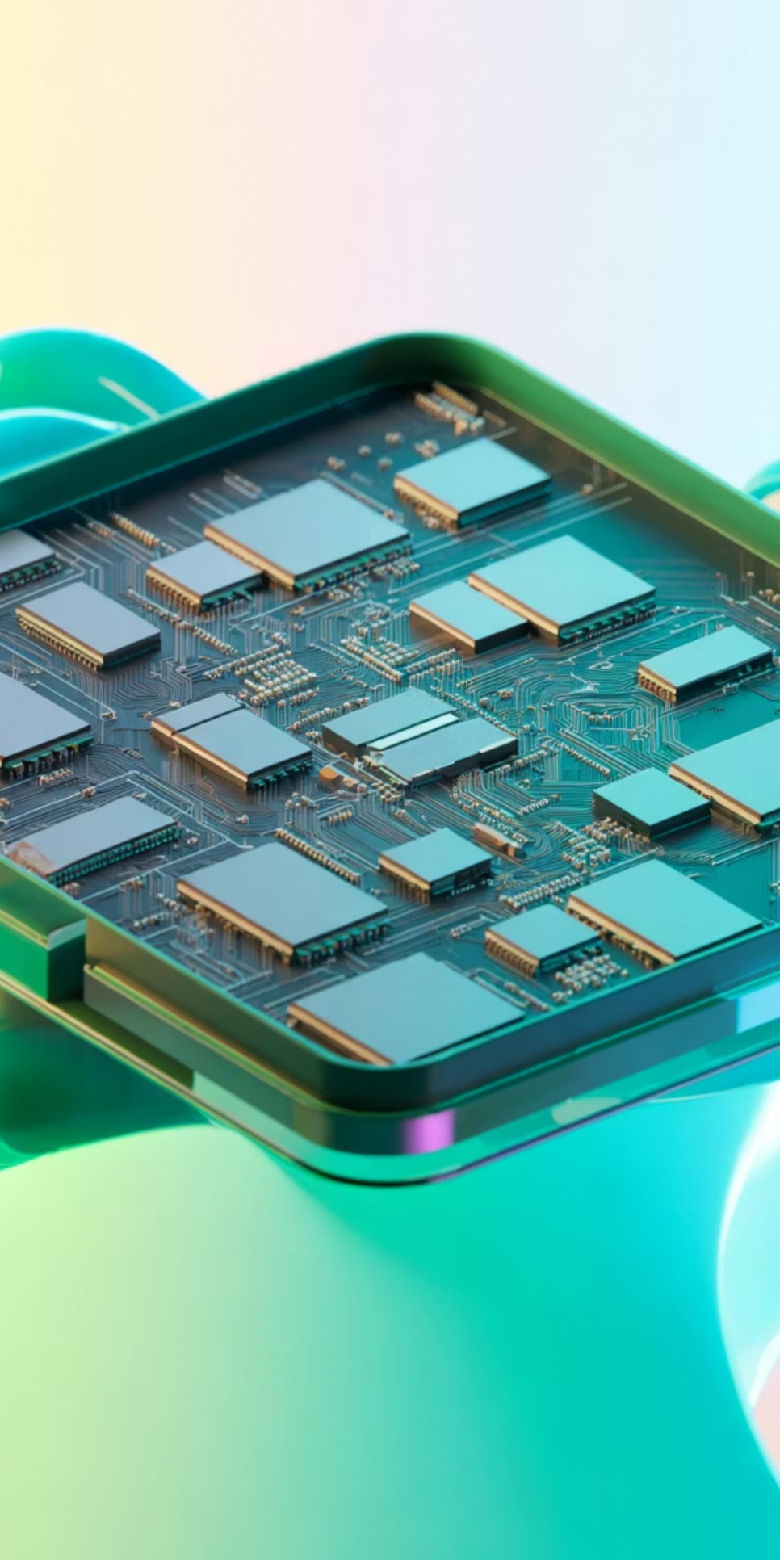
Микросхемы серий **155/555** (TTL) и **176/561** (КМОП) содержат готовые JK- и D-триггеры. Например, 155ТВ1 — JK-триггер, 155ТМ2 — два D-триггера в одном корпусе.

БИС и СБИС

Большие (БИС) и сверхбольшие (СБИС) интегральные схемы содержат миллионы триггеров на одном кристалле. Это основа процессоров, ПЛИС и микроконтроллеров.

Программируемые логические матрицы (ПЛМ)

В ПЛИС (FPGA) триггеры реализованы как конфигурируемые ресурсы — пользователь сам определяет их тип и подключение через язык описания HDL.



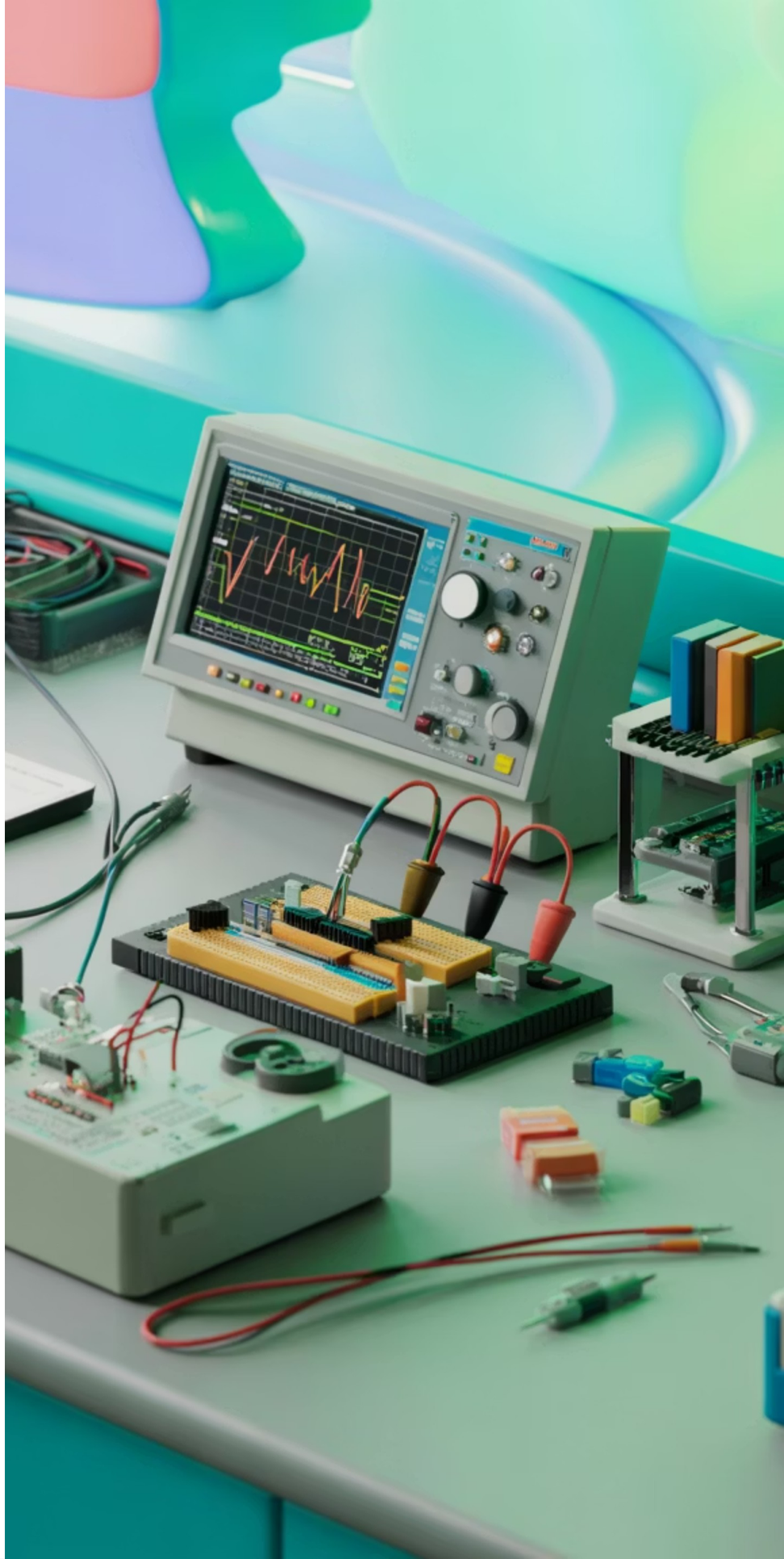
Масштаб интеграции

Современные процессоры (например, Intel Core или AMD Ryzen) содержат **миллиарды транзисторов**, подавляющая часть которых входит в состав триггеров и регистровых файлов. Технология 5–7 нм позволяет разместить тысячи триггеров на площади меньше одного квадратного миллиметра. Именно плотность интеграции триггерных ячеек определяет производительность современных вычислительных систем.

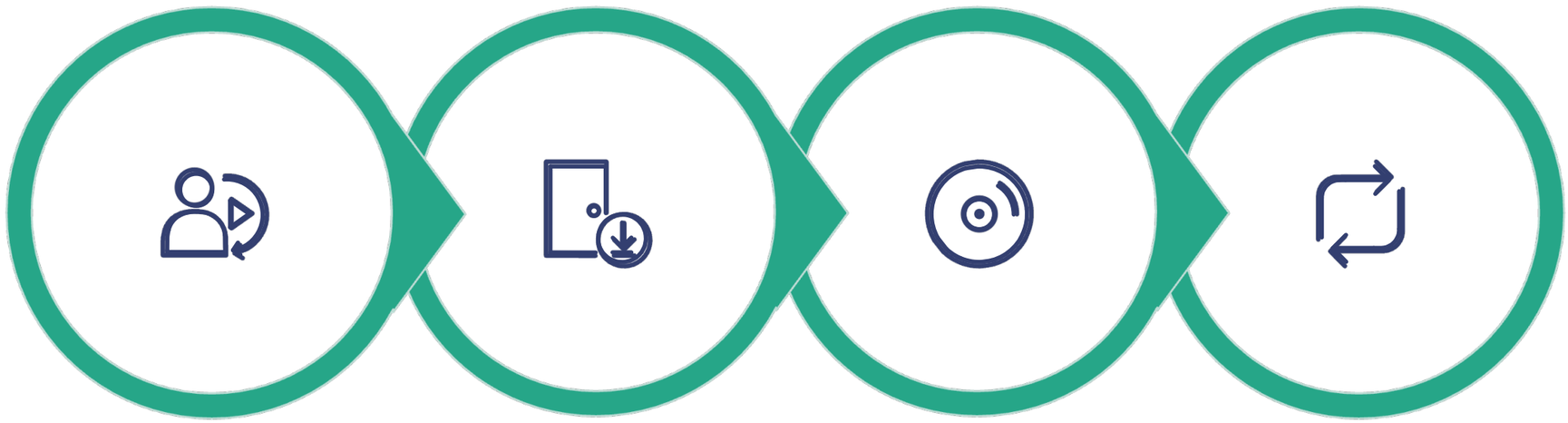
ГЛАВА 5

Исследование и Тестирование Триггеров

Пятая глава описывает методологию экспериментального исследования триггеров: от составления таблиц истинности до компьютерного моделирования в специализированных программах.



Получение Таблицы Истинности



Подготовка **Подача** **Снятие** **Повтор**

Экспериментальное получение таблицы истинности — ключевой метод верификации триггера. Необходимо последовательно перебрать все комбинации входных сигналов, включая **информационные** (J, K, D) и **управляющие** (C, S', R') входы. Результат сравнивается с теоретической таблицей — любое расхождение указывает на неисправность.

Исследование Асинхронных Входов

Методика проверки Set

Установить J=K=0, C=0 (тактовый сигнал неактивен). Подать S'=0 (активный низкий уровень). Убедиться, что Q принял значение **1 независимо** от состояния тактового входа. Снять S'=1 — триггер должен сохранить Q=1.

Методика проверки Reset

Аналогично: при R'=0 выход Q должен принять значение **0 мгновенно**, без ожидания тактового импульса. Проверка выполняется в различных начальных состояниях Q для подтверждения надёжности сброса.

> Одновременная активация S' и R' недопустима — это аналог запрещённой комбинации в RS-триггере.

Использование Генератора Слова

1 Программирование генератора

В генераторе слова (Word Generator) задаётся последовательность двоичных кодов, охватывающая все комбинации входных сигналов исследуемого триггера.

2 Автоматическая подача сигналов

Генератор последовательно подаёт кодовые комбинации на входы триггера с заданной частотой, исключая ошибки ручного переключения.

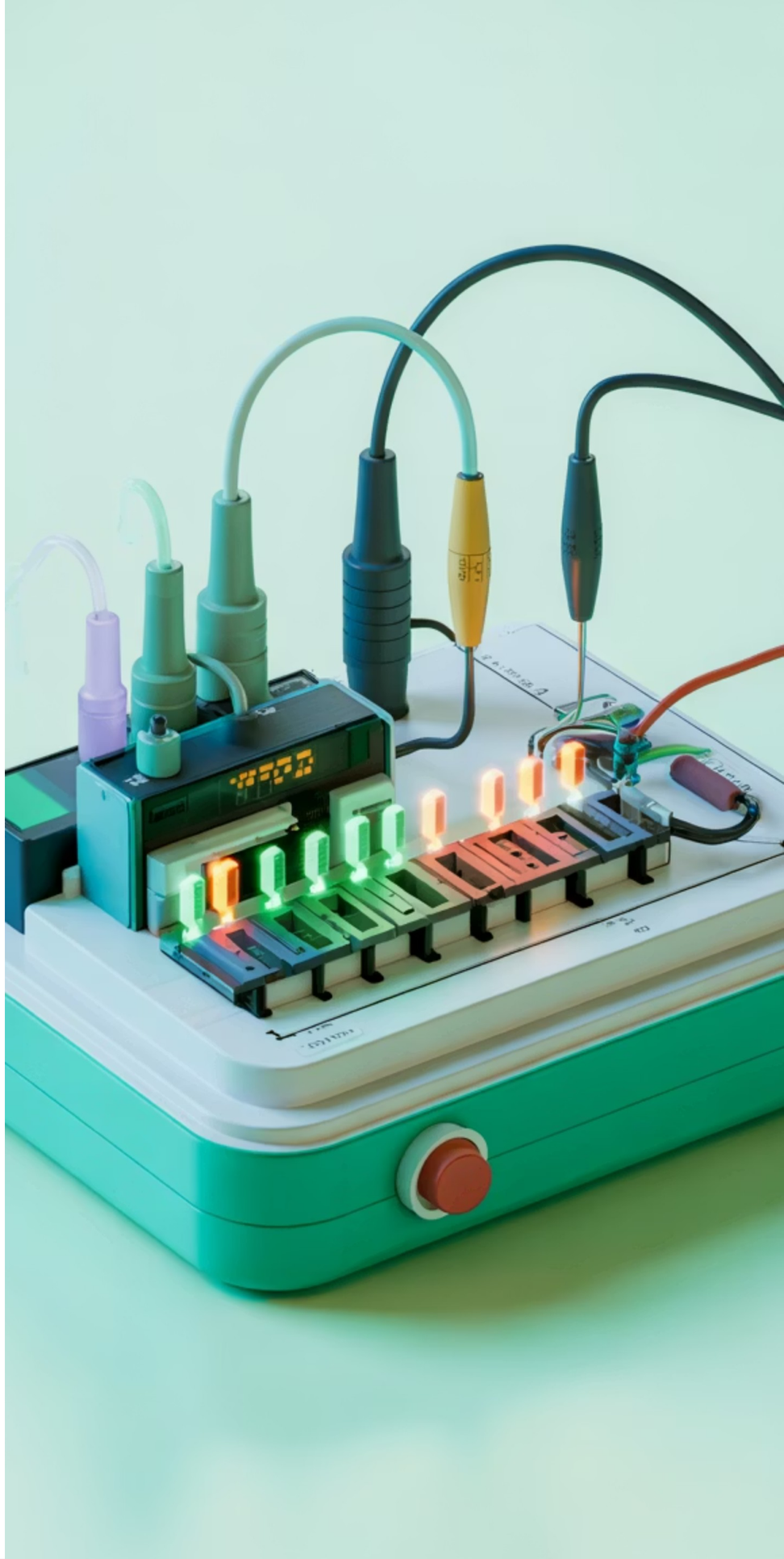
3 Регистрация результатов

Состояния выходов Q и Q' фиксируются логическим анализатором или индикаторами, формируя полную таблицу истинности автоматически.

Применение генератора слова сокращает время исследования и исключает человеческий фактор при составлении таблицы истинности для многовходовых триггеров.

Схема подключения к Генератору Слова

Генератор слова подключается к информационным и тактовым входам триггера. Выходы Q и Q' подключаются к светодиодным индикаторам или к логическому анализатору. Такая схема позволяет за один проход автоматически получить полную экспериментальную таблицу истинности, зафиксировав все возможные переходы между состояниями.



Программное Моделирование

EWB / Multisim

Electronics Workbench и его преемник Multisim позволяют собрать схему триггера из логических элементов виртуально, подключить генератор сигналов и осциллограф, и наблюдать временны́е диаграммы в реальном времени.

Logisim / Digital

Специализированные симуляторы цифровых схем с визуальным редактором. Поддерживают все типы триггеров, позволяют строить и проверять счётчики и регистры без пайки.

VHDL / Verilog

Языки описания аппаратуры позволяют описать триггер математически и верифицировать поведение с помощью testbench-симуляции в ModelSim или Vivado.

Программное моделирование — незаменимый инструмент на этапе проектирования: оно позволяет выявить ошибки до изготовления реальной схемы, экономя время и ресурсы.



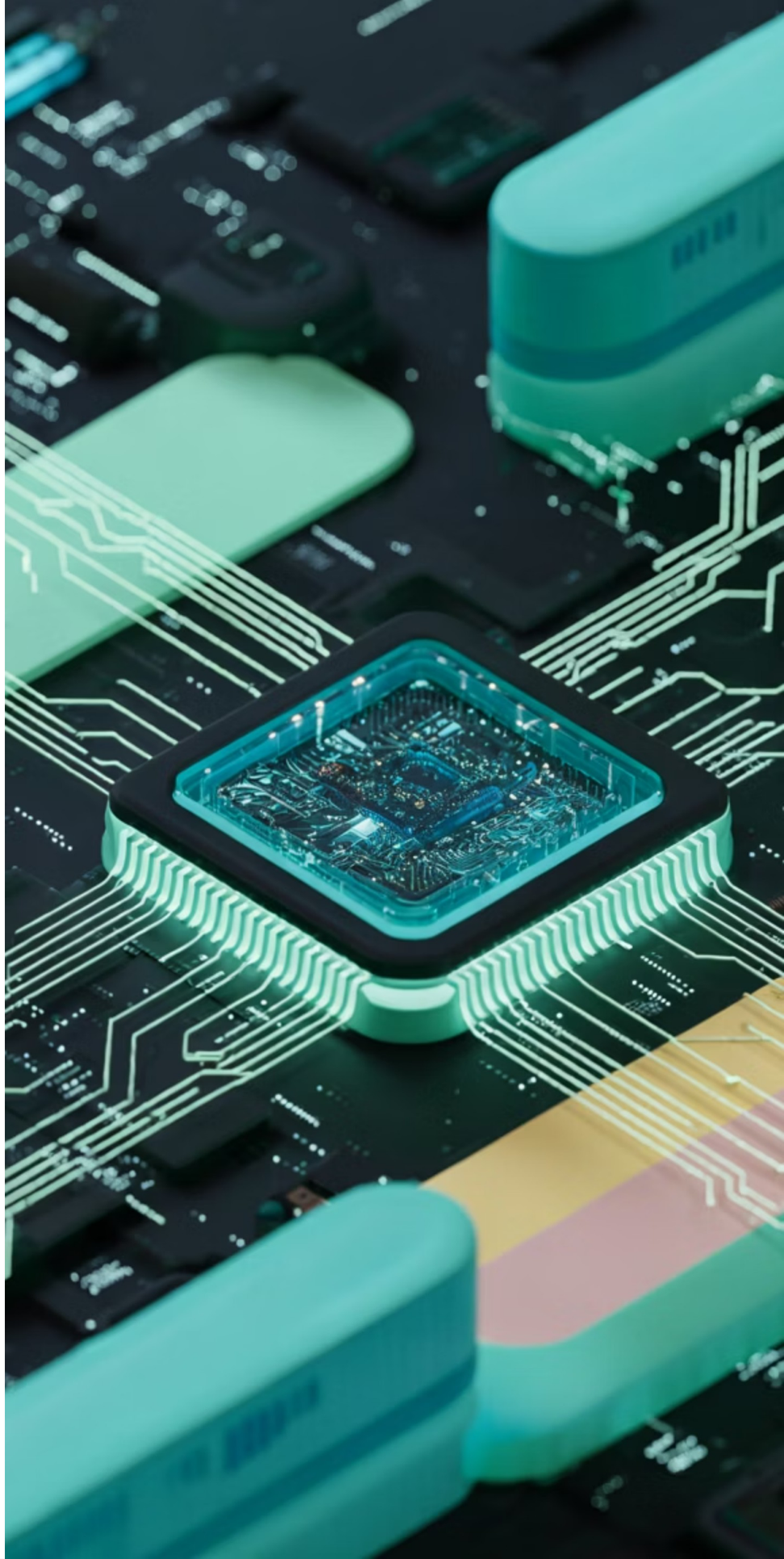
Моделирование в EWB

В среде EWB (Electronics Workbench) можно собрать JK-триггер из элементов И-НЕ, подключить генератор прямоугольных импульсов на вход C и переключатели на входы J и K. Логический анализатор отображает временны́е диаграммы всех сигналов, позволяя визуально убедиться в корректности работы триггера во всех режимах.

ГЛАВА 6

Заключение – Будущее Цифровой Логики

Финальная глава подводит итоги и рассматривает перспективы развития триггерных схем — от современных улучшений до квантовых вычислений будущего.



Триггеры как Фундамент Цифрового Мира

> «Без триггеров не существовало бы ни одного цифрового компьютера, ни одного смартфона, ни одной системы управления. Это — атомы цифровой вселенной.»

1949

Год первого триггера

Первый транзисторный триггер создан в Bell Labs

~10^9

Триггеров в CPU

Миллиарды триггеров в современных процессорах

5нм

Технология сегодня

Минимальный техпроцесс производства микросхем

Инновации в Триггерных Схемах

DV и JK триггеры

Расширение функциональности классических схем через дополнительные управляющие входы

1

Энергоэффективность

2

Разработка триггеров с ультранизким энергопотреблением для мобильных и IoT-устройств

Высокоскоростные схемы

Триггеры на основе SiGe и GaAs для систем с тактовой частотой свыше 10 ГГц

3

Квантовые аналоги

4

Квантовые вентили как аналоги триггеров в квантовых вычислительных системах будущего

Исследования в области **энергоэффективности** и **скорости переключения** триггеров продолжают определять технологический прогресс в производительности процессоров и потреблении мобильных устройств.



Поток цифровых данных

Каждый бит информации в любом цифровом устройстве проходит через триггеры — эти элегантные схемы из нескольких логических элементов, воплощающие идею **памяти и управления** в двоичном мире. От простейшего RS-триггера на двух элементах И-НЕ до миллиардов триггеров в современном процессоре — принцип один и тот же: два устойчивых состояния, переключаемых управляющим сигналом.

Итоги: Ключевые Выводы

RS-триггер — основа памяти

Простейший бистабильный элемент. Реализуется на элементах 2И-НЕ или 2ИЛИ-НЕ. Имеет запрещённую комбинацию S=R=1. Существует в асинхронном и синхронном вариантах.

D и DV триггеры — управление данными

D-триггер запоминает входное значение по тактовому импульсу. DV-триггер добавляет разрешающий вход V для многотактного хранения. Идеальны для регистров.

JK-триггер — универсальный инструмент

Устраняет запрещённые комбинации, добавляет режим переключения (Toggle). Может эмулировать RS-, D- и T-триггеры. Незаменим в счётчиках и делителях частоты.

Понимание работы этих трёх типов триггеров закладывает фундамент для изучения регистров, счётчиков, конечных автоматов и архитектуры процессоров.