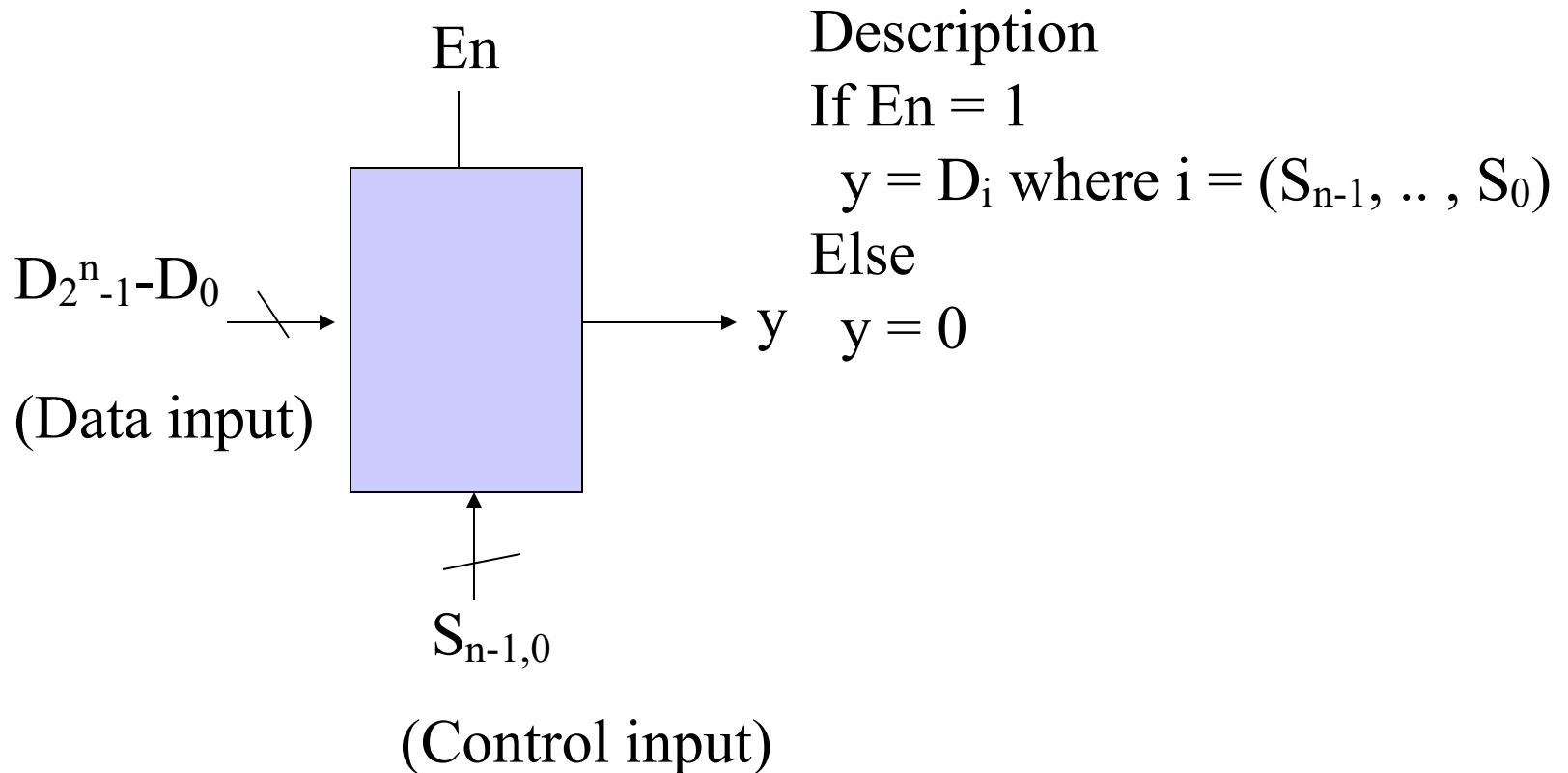


Мультиплексор және Демультимплексор. Комбинациялық тізбектерді талдау және синтездеу.

3. Мух (Мультиплексор): Анықтама



Design

```
// define a module for the design
module mux2_1(in1, in2, select, out);

// define input port
input in1, in2, select;

// define the output port
output out;

// assign one of the inputs to the output based upon select line input
assign out = select ? in2 : in1;
endmodule :mux2_1
```

```

module test;
  reg in1, in2, select;
  wire out;

  // design under test
  mux2_1 mux(.in1(in1), .in2(in2),
             .select(select), .out(out));

  // list the input to the design
  initial begin in1=1'b0;in2=1'b0;select=1'b0;
    #2    in1=1'b1;
    #2    select=1'b1;
    #2    in2=1'b1;
    #2    $stop();
  end

  // monitor the output whenever any of the input changes
  initial begin $monitor("time=%0d, input1=%b, input2=%b,
                        select line=%b, output=%b", $time,
                        in1, in2, select, out);
  end
endmodule :test

```

Expected Output

```
time=0, input1=0, input2=0, select line=0, out=0  
time=2, input1=1, input2=0, select line=0, out=1  
time=4, input1=1, input2=0, select line=1, out=0  
time=6, input1=1, input2=1, select line=1, out=1
```

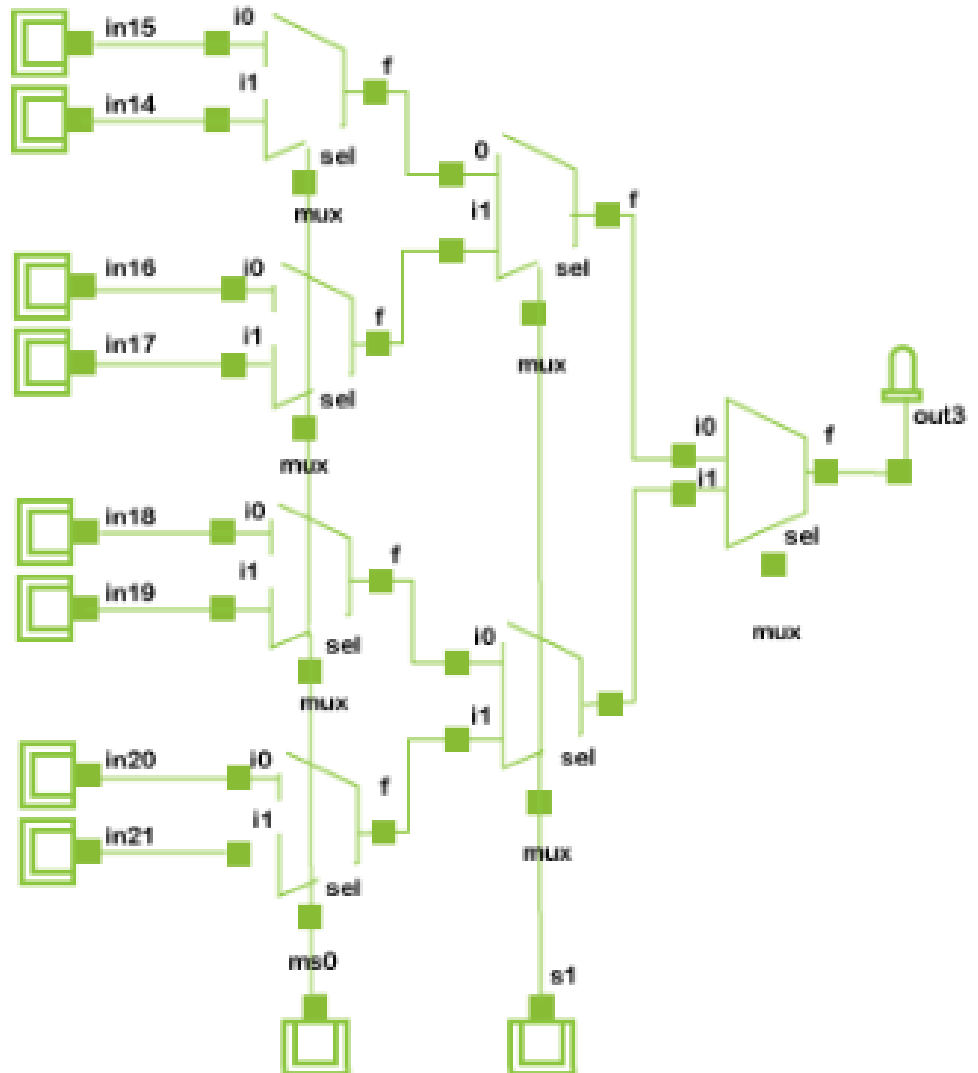
Gate level /Structural Modeling

```
module mux4x1_gate_level(  
    input a,  
    input b,  
    input c,  
    input d,  
    input s0,  
    input s1,  
    output y  
);  
  
    wire n1, n2, n3, n4, n5, n6;  
  
    not (n1, s1);  
    not (n2, s0);  
    and (n3, a, n1, n2);  
    and (n4, b, n1, s0);  
    and (n5, c, s1, n2);  
    and (n6, d, s1, s0);  
    or (y, n3, n4, n5, n6);  
  
endmodule
```

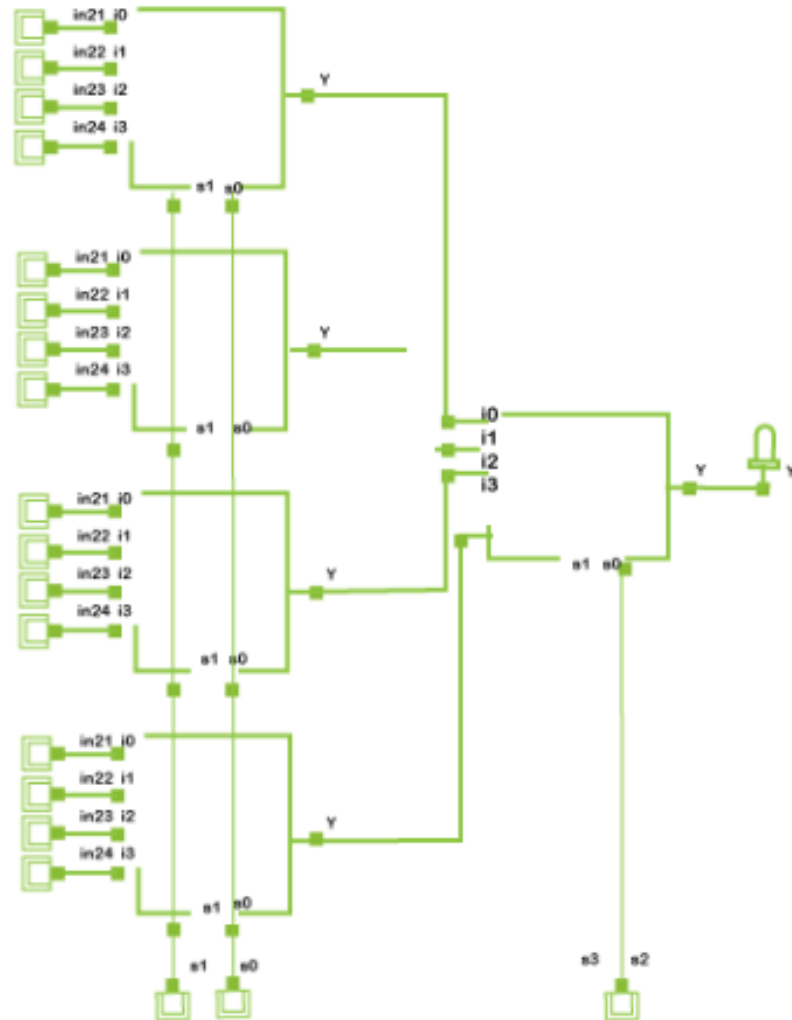
Dataflow Modelling

```
module mux4x1(  
    input s0,  
    input s1,  
    input a,  
    input b,  
    input c,  
    input d,  
    output y  
);  
    assign y = (a & (~s1) & (~s0)) |(b & (~s1) & s0) |(c & s1 & (~s0)) |(d & s1 & s0);  
  
endmodule
```

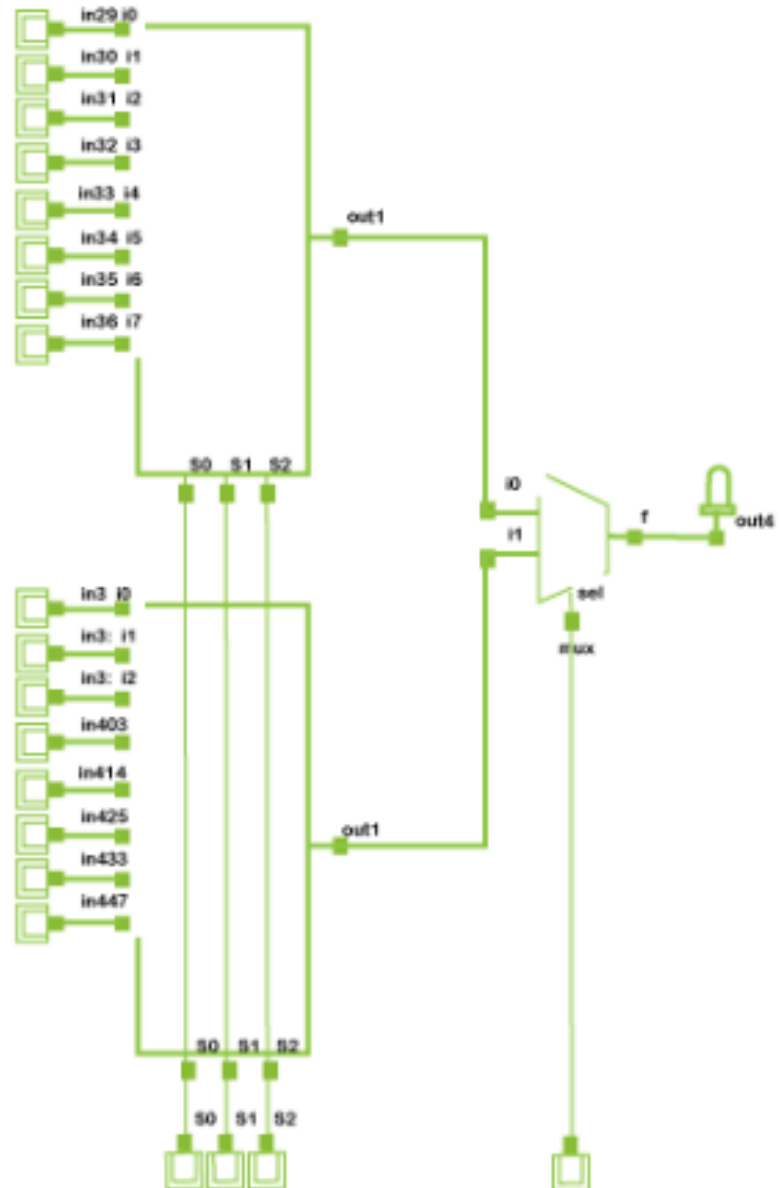
8:1 using 2:1



16:1 using 4:1

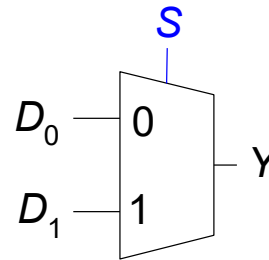


16:1 using 8:1



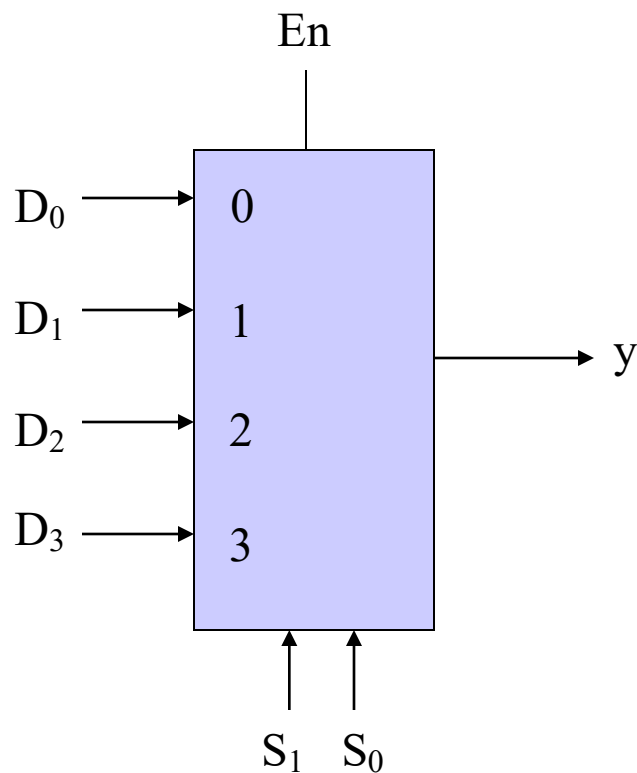
Мух (Мультиплексор): Анықтама

- Шығысқа қосылу үшін N кірістердің бірін таңдайды.
- $\log_2 N$ -биттік таңдау кірісі – басқару кірісі.
- Мысал: **2:1 Мух**



S	D_1	D_0	Y	S	Y
0	0	0	0	0	D_0
0	0	1	1	1	D_1
0	1	0	0		
0	1	1	1		
1	0	0	0		
1	0	1	0		
1	1	0	1		
1	1	1	1		

Мух (Мультиплексор): Мысал



If $D_0 = 0$ and $S_1 S_0 = 00 \Rightarrow y = 0$

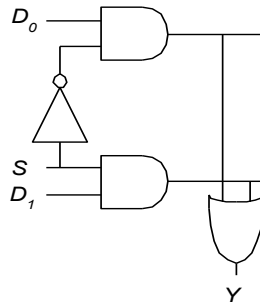
If $D_0 = 1$ and $S_1 S_0 = 00 \Rightarrow y = 1$

Мультиплексор: Логикалық диаграмма

- Логикалық түйіндер

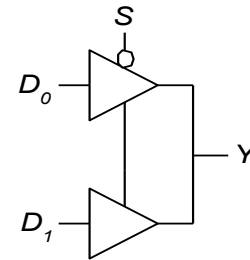
Y S	D ₀ D ₁		00	01	11	10
	0	1	0	0	1	1
1	0	1	0	1	1	0

$$Y = D_0 \bar{S} + D_1 S$$



- Тристат

- N-кіріс мульттері үшін N тристат пайдаланыңыз.
- Сәйкес енгізуді таңдау үшін дәл біреуін қосыңыз.

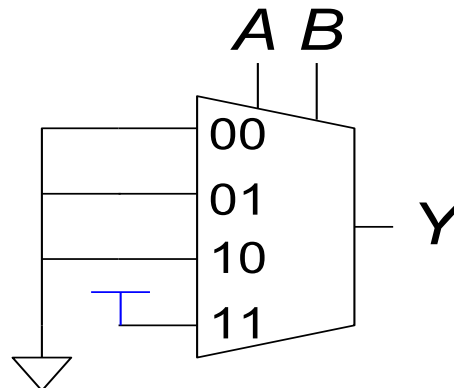


Мультиплексор қолданбасы.

- Кіріс ретінде ақиқат кестесі бар логикалық функция үшін Мух.

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	0
0	1	0
1	0	0
1	1	1

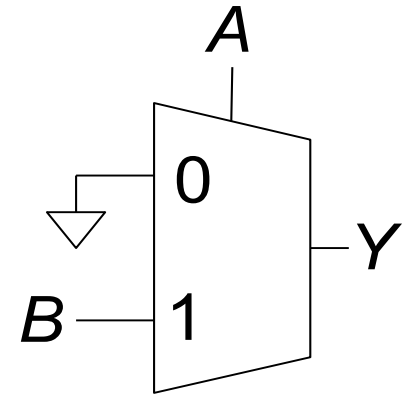
$$Y = AB$$



Мультиплексор: қолданбалы

$$Y = AB$$

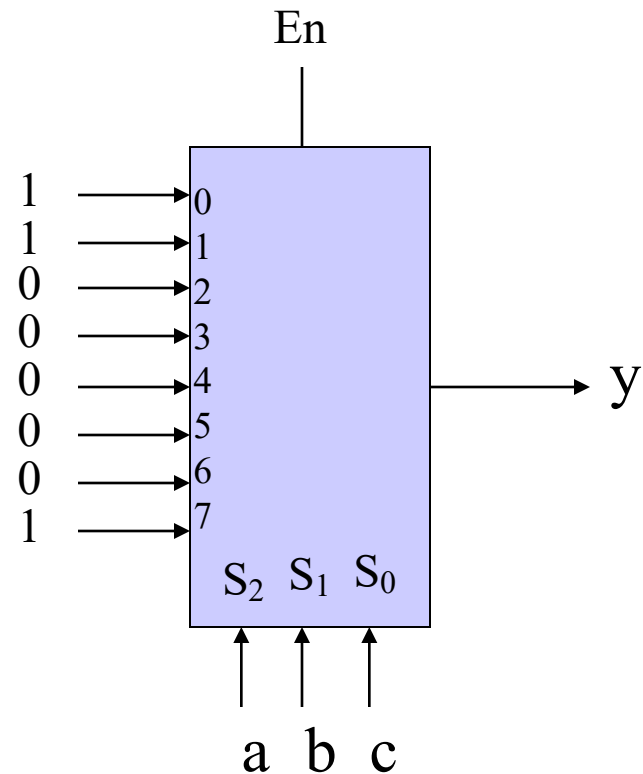
<i>A</i>	<i>B</i>	<i>Y</i>		<i>A</i>	<i>Y</i>
0	0	0	→	0	0
0	1	0			
1	0	0	→	1	<i>B</i>
1	1	1			



Мультиплексор қолданбасы: әмбебап жиын {Mux}

Мысал 1: $f(a,b,c) = \sum m(0,1,7) + \sum d(2)$ берілсе, 8 кірісті
Мультиплексорді жүзеге асырыңыз.

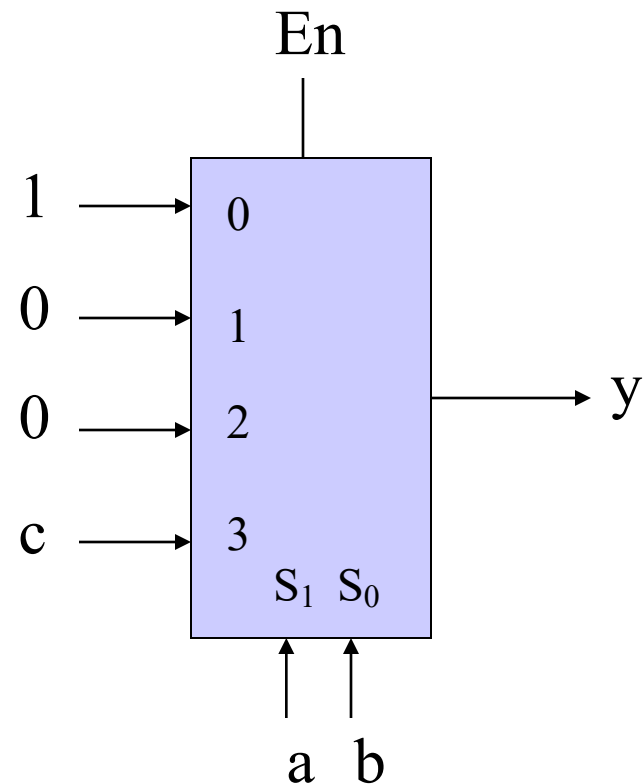
Id	a	b	c	f
0	0	0	0	1
1	0	0	1	1
2	0	1	0	-
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1



Мультиплексор қолданбасы

Мысал 2: $f(a,b,c) = \sum m(0,1,7) + \sum d(2)$ берілсе, 4 кірісті
Мультиплексорді жүзеге асырыңыз.

a	b	c = 0	c = 1	D (c)
0	0	1	1	$D_0(c) = 1$
0	1	-	0	$D_1(c) = 0$
1	0	0	0	$D_2(c) = 0$
1	1	0	1	$D_3(c) = c$



Мультиплексор қолданбасы

Мысал 3: $f(a,b,c) = \Sigma m(0,1,7) + \Sigma d(2)$ берілсе, 2 кірісті

Мультиплексорді жүзеге асырыңыз.

a	00	01	10	11	D(b,c)
0	1	1	-	0	$D_0(b,c)$
1	0	0	0	1	$D_1(b,c)$

$$D_0(b,c) = b'$$

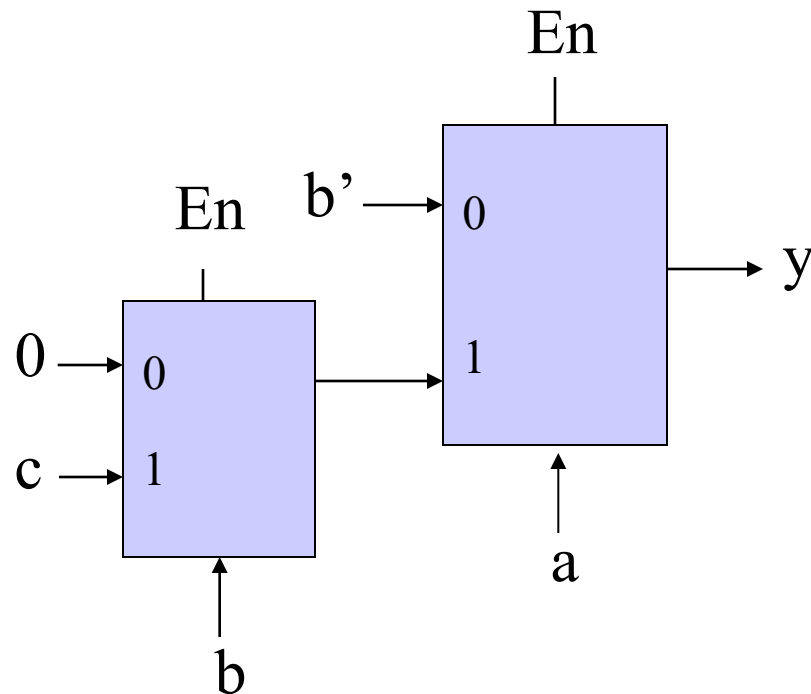
c	1	-
	1	0
	$\overline{b}$	

$$D_1(b,c) = bc$$

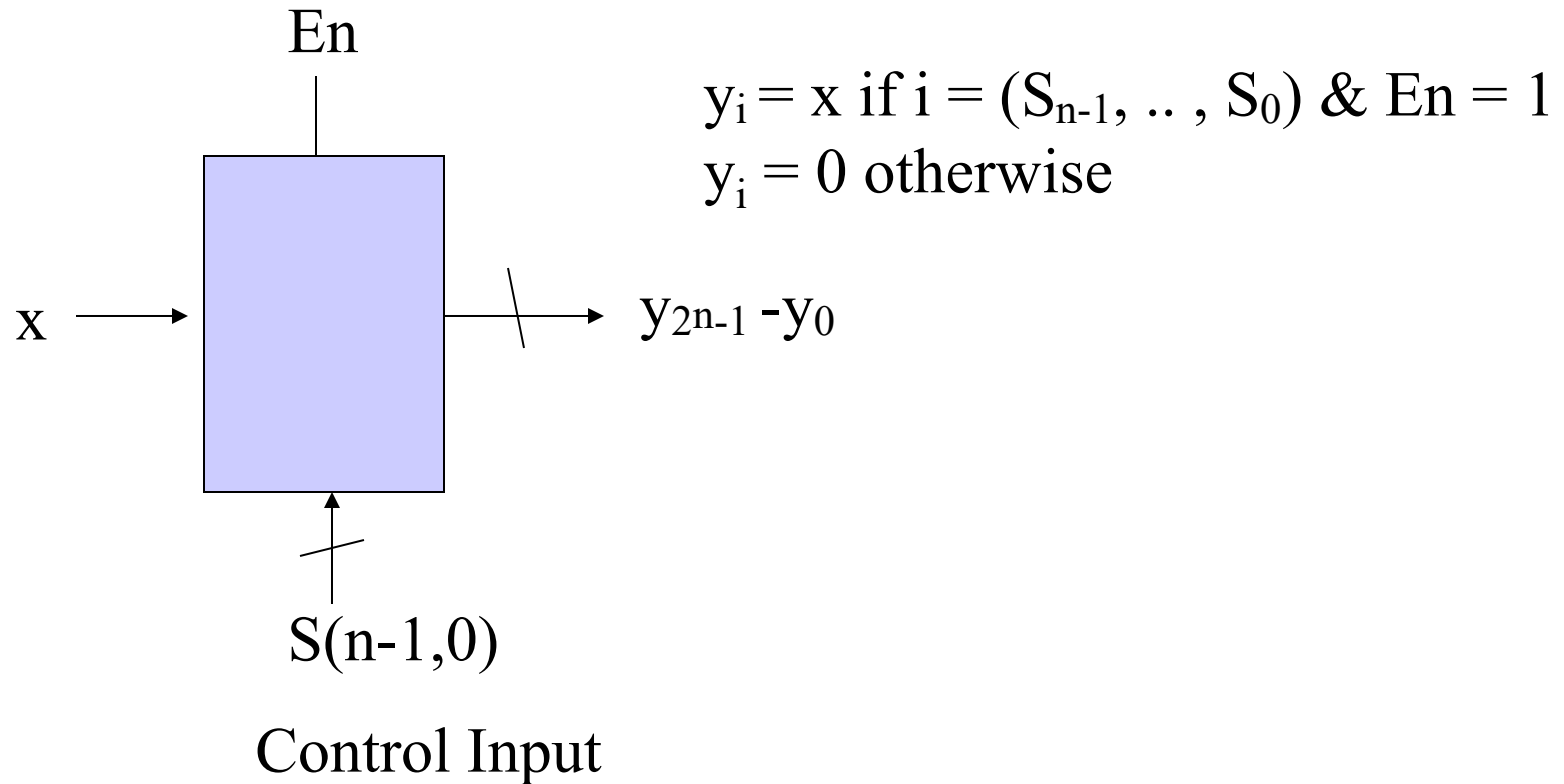
c	0	0
	0	1
	$\overline{b}$	

$$D_1(b,c)$$

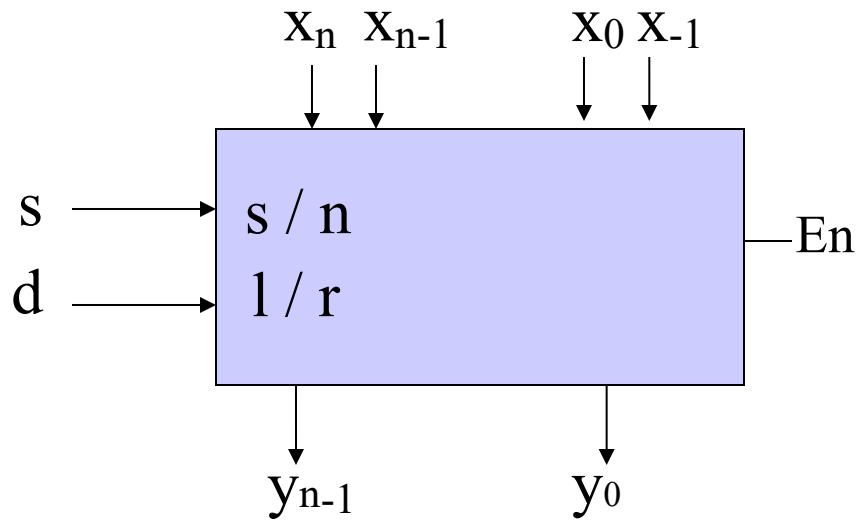
b	c = 0	c = 1	
0	0	0	$l_1(0) = 0$
1	0	1	$l_1(c) = c$



Демультимплексорлар

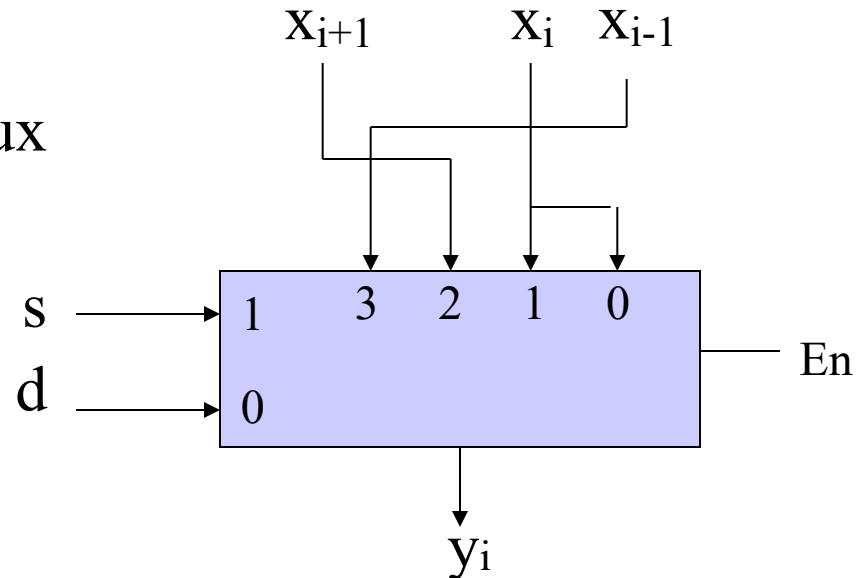


Ауыстырушы



$$\begin{aligned}
 y_i &= x_{i-1} \text{ if } En = 1, s = 1, \text{ and } d = L \\
 &= x_{i+1} \text{ if } En = 1, s = 1, \text{ and } d = R \\
 &= x_i \text{ if } En = 1, s = 0 \\
 &= 0 \text{ if } En = 0
 \end{aligned}$$

Can be implemented with a mux



Бөшкелерді ауыстырғыш

